



CS1231 用户手册

24-bit Sigma-Delta ADC

Rev 1.5

通讯地址：深圳市南山区蛇口南海大道 1079 号花园城数码大厦 A 座 9 楼

邮政编码：518067

公司电话：+(86 755)86169257

传 真：+(86 755)86169057

公司网站：www.chipsea.com

微 信 号：芯海科技

微信二维码：



版本历史

历史版本	修改内容	版本日期
REV 1.0	初始版本	2011-08-25
REV 1.1	更改时钟说明	2011-09-20
REV 1.2	更改封装资料	2011-11-30
REV 1.3	更改电气特性表	2012-05-20
REV 1.4	修改读取 AD 值的时序：第 25 个 SCLK 将 DRDY 拉高	2012-07-09
REV 1.5	更换新 LOGO，重新发布	2014-10-17

目 录

版本历史	2
目 录	3
1 芯片功能说明	5
1.1 芯片主要功能特性	5
1.2 芯片应用场合	5
1.3 芯片基本结构功能描述	6
1.4 芯片最大极限值	7
1.5 数字逻辑特性	8
1.6 电气特性	9
1.7 噪声性能	11
1.8 芯片引脚	12
2 芯片功能模块描述	13
2.1 模拟输入前端	13
2.2 低噪声 PGA 放大器	14
2.3 时钟信号源	15
2.4 复位和断电(POR & power down)	15
2.5 SPI 串口通信	16
2.5.1 建立时间	16
2.5.2 输出速率	17
2.5.3 数据格式	17
2.5.4 数据准备/数据输入输出($\overline{DRDY}/DOUT$)	17
2.5.5 串行时钟输入(SCLK)	17
2.5.6 数据接收	18
2.5.7 Standby 模式	19
2.5.8 上电顺序	19
2.5.9 Power down 模式	19
3 芯片封装	21
3.1 采用 TSSOP-16 封装形式	21
3.2 采用 SOP-16 封装形式	21

图目录

图 1 CS1231 原理框图	6
图 2 CS1231 芯片引脚图	12
图 3 模拟输入结构图	13
图 4 PGA 结构图	14
图 5 CS1231 时钟信号	15
图 6 CS1231 在连续转换模式的建立时间	16
图 7 CS1231 读取数据时序图	18
图 8 CS1231 读取数据时序且将 $\overline{DRDY}/DOUT$ 拉高时序	18
图 9 Standby 模式时序图	19
图 10 CS1231 上电顺序图	19
图 11 Power Down 模式时序图	20
图 12 芯片 TSSOP-16 封装尺寸信息	21
图 13 芯片 SOP-16 封装尺寸信息	21

表目录

表 1 CS1231 极限值	7
表 2 CS1231 数字逻辑特性	8
表 3 CS1231 电气特性 (AVDD = DVDD = 5V)	9
表 4 CS1231 电气特性 (AVDD = DVDD = 3V)	10
表 5 噪声性能表	11
表 6 PIN 脚说明	12
表 7 输出速率设置	17
表 8 理想输出码和输入信号 ⁽¹⁾	17
表 9 读取数据时序表	18
表 10 Standby 模式时序表	19
表 11 Power Down 模式时序表	20

1 芯片功能说明

1.1 芯片主要功能特性

- 集成低噪声 PGA，放大倍数可选 64，128
- 集成 1 通道 24 位无失码的差分输入 ADC，PGA=128 时 ENOB 为 20.3 位
- P-P 噪声：10Hz：183nV；80Hz：421nV
- 集成 RC 振荡器（ $\pm 8\%$ ），可外接时钟输入
- 输出速率 10Hz/80Hz 可选
- 集成 2 线 SPI 通讯接口
- INL 小于 0.001%

1.2 芯片应用场合

- 工业过程控制
- 电子秤
- 液体/气体化学分析
- 血液计
- 智能变换器
- 便携式设备

1.3 芯片基本结构功能描述

CS1231 是一款高精度、低功耗 Sigma-Delta 模数转换芯片，内置 1 路 Sigma-Delta ADC。ADC 采用三阶 Sigma-Delta 调制器，通过低噪声仪用放大器结构实现 PGA 放大，放大倍数可选 64，128。在 PGA=128 时，有效分辨率可达 20.3 位。CS1231 输出速率 10Hz/80Hz 可选。CS1231 内置 RC 振荡器，可以通过引脚 CKIN 直接输入时钟。CS1231 具有 Standby、Power down 等更低功耗模式。

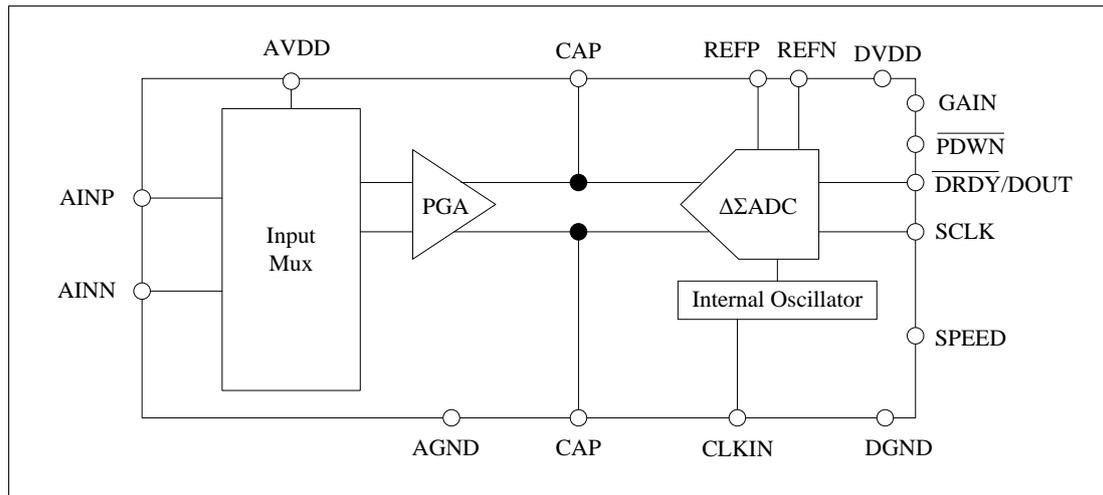


图1 CS1231 原理框图

1.4 芯片最大极限值

表1 CS1231 极限值

名称	符号	最小	最大	单位
模拟电源电压	AVDD	-0.3	6	V
数字电源电压	DVDD	-0.3	6	V
数字地与模拟地之间压差		-0.3	0.3	V
电源瞬间电流			100	mA
电源恒定电流			10	mA
数字管脚输入电压		-0.3	DVDD+0.3	V
模拟管脚输入电压		-0.3	AVDD+0.3	V
节温			150	°C
工作温度		-40	105	°C
储存温度		-60	150	°C
芯片管脚焊接温度			240	°C

1.5 数字逻辑特性

表2 CS1231 数字逻辑特性

参数	最小	典型	最大	单位	条件说明
V _{IH}	0.7×DVDD		DVDD+0.1	V	
V _{IL}	DGND		0.3×DVDD	V	
V _{IH} (PWDN)	0.8×DVDD		DVDD+0.1	V	
V _{IL} (PWDN)	DGND		0.2×DVDD	V	
V _{OH}	DVDD-0.4		DVDD	V	I _{oh} =1mA
V _{OL}	DGND		0.2×DVDD	V	I _{oL} =1mA
I _{IH}			10	uA	V _I =DVDD
I _{IL}	-10			uA	V _I =DGND
外置时钟工作频率范围 ⁽¹⁾	0.2	4.9152	8	MHz	
串口时钟工作频率范围 ⁽²⁾			2	MHz	

(1) 芯片工作时钟频率

(2) 串口通信时钟SCLK的频率

1.6 电气特性

所有的参数测试在环境温度-20~85℃,AVDD = DVDD = 5V,REFP = 5V,REFN = 0V 的条件下测试,除非有其它注明。

表3 CS1231 电气特性 (AVDD = DVDD = 5V)

参数	条件	最小值	典型值	最大值	单位
模拟输入					
满幅输入电压 (AINP-AIN)			$\pm 0.5V_{REF}/PGA$		V
共模输入电压	PGA=64, 128	AGND+1.5		AVDD-1.5	V
共模电压抑制比			125		dB
差分输入阻抗	PGA=64、128		>1		GΩ
系统性能					
分辨率	无失码		24		Bits
AD速率	时钟为4.9152MHz		10	80	Hz
建立时间	全建立		4		转换周期
P-P噪声	PGA=128, DR=10Hz		183		nv
积分线性度	PGA=128		± 6		ppm
失调误差	PGA=128		-1		uV
失调误差漂移	PGA=128		25		nv/°C
增益误差	PGA=128		± 0.1		%
增益误差漂移	PGA=128		6		ppm/°C
参考电压输入					
负参考电压输入	REFN	AGND-0.1		AGND+0.6	V
正参考电压输入	REFP	REFN +2.5		AVDD+0.1	V
REFP - REFN		2.5	AVDD	AVDD+0.1	V
参考电压抑制比			54		dB
电源					
模拟电源电压	AVDD	2.8	5	5.5	V
数字电源电压	DVDD	2.8	5	5.5	V
电源电压抑制比	PGA=64、128		110		dB
模拟部分电流	普通模式	PGA=64、128	3		mA
	Standby mode		6		uA
	Power down		0.1		uA
数字部分电流	normal mode		400		uA
	Standby mode		150		uA
	Power down		1.5		uA
时钟					
内部振荡器频率		4.6	5	5.4	MHz
内置时钟温漂			250		ppm/°C
外部时钟频率		0.2	4.9152	8	MHz

所有的参数测试在环境温度-20~85℃,AVDD = DVDD = 3V,REFP = 3V,REFN = 0V 的条件下测试,除非有其它注明。

表4 CS1231 电气特性 (AVDD = DVDD = 3V)

参数	条件	最小值	典型值	最大值	单位
模拟输入					
满幅输入电压 (AINP-AIN)			0.5VREF/PGA		V
共模输入电压	PGA=64, 128	AGND+1.5		AVDD-1.5	V
共模电压抑制比			125		dB
差分输入阻抗	PGA=64、128		>1		MΩ
系统性能					
分辨率	无失码		24		Bits
AD速率	时钟为4.9152MHz		10	80	Hz
建立时间	全建立		4		转换周期
P-P噪声	PGA=128, DR=10Hz		156		nv
积分线性度	PGA=128		±6		ppm
失调误差	PGA=128		-1		uV
失调误差漂移	PGA=128		25		nv/°C
增益误差	PGA=128		±0.1		%
增益误差漂移	PGA=128		6		ppm/°C
参考电压输入					
负参考电压输入	REFN	AGND-0.1		AGND+0.6	V
正参考电压输入	REFP	REFN +1.5		AVDD+0.1	V
REFP - REFN		1.5	AVDD	AVDD+0.1	V
参考电压抑制比			54		dB
电源					
模拟电源电压	AVDD	2.8	5	5.5	V
数字电源电压	DVDD	2.8	5	5.5	V
电源电压抑制比	PGA=64、128		110		dB
模拟部分电流	普通模式	PGA=64、128	2.7		mA
	Standby mode		3		uA
	Power down		0.1		uA
数字部分电流	normal mode		360		uA
	Standby mode		100		uA
	Power down		1.5		uA
时钟					
内部振荡器频率		4.4	5	5.6	MHz
内置时钟温漂			250		ppm/°C
外部时钟频率		0.2	4.9152	8	MHz

1.7 噪声性能

表5 噪声性能表

条件	速度	增益	RMS 噪声	P-P 噪声	ENOB(RMS)	NOISE-FREE BITS
AVDD=5V VREF=5V	10Hz	64	32nV	242nV	21.2	18.3
		128	30nV	183nV	20.3	17.7
	80Hz	64	105nV	484nV	19.5	17.3
		128	80nV	421nV	18.9	16.5
AVDD=3V VREF=3V	10Hz	64	32nV	192nV	20.5	17.9
		128	28nV	156nV	19.7	17.2
	80Hz	64	63nV	383nV	19.5	16.9
		128	73nV	358nV	18.3	16

1.8 芯片引脚

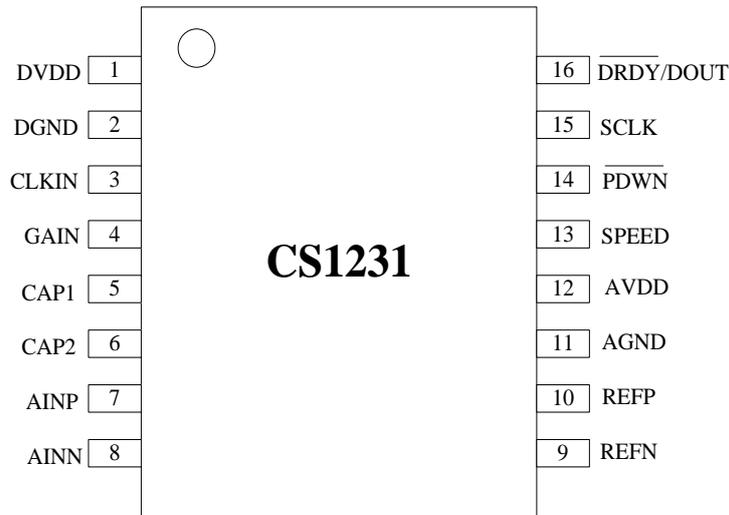


图2 CS1231 芯片引脚图

表6 PIN 脚说明

序号	引脚名称	输入/输出	说明
1	DVDD	P	数字电源
2	DGND	P	数字地
3	CLKIN	DI	外部时钟输入
4	GAIN	AI	增益选择: GAIN=0, PGA=64; GAIN=1, PGA=128
5	CAP1	AI	PGA 放大器输出, CAP1、CAP2 之间外接 0.1uF 电容
6	CAP2	AI	
7	AINP	AI	通道正输入
8	AINN	AI	通道负输入
9	REFN	AI	参考电压负输入端
10	REFP	AI	参考电压正输入端
11	AGND	P	模拟地
12	AVDD	P	模拟电源
13	SPEED	DI	输出速率选择; SPEED=0, 10Hz; SPEED=1, 80Hz
14	\overline{PWN}	DI	Power down 控制端口(低电平有效)
15	SCLK	DI	SPI 时钟端口
16	$\overline{DRDY}/DOUT$	DO	SPI 数据输入/输出端口

2 芯片功能模块描述

2.1 模拟输入前端

CS1231 中有 1 路差分输入 ADC，差分输入信号从引脚 AINP、AINN 输入到 ADC。其基本结构如下图所示：

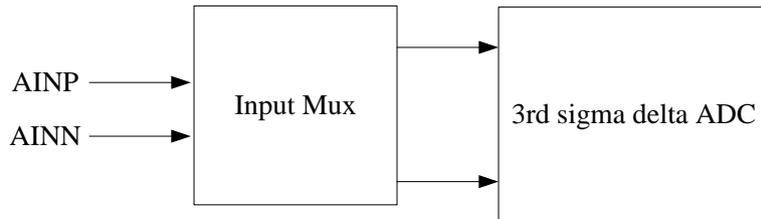


图3 模拟输入结构图

2.2 低噪声 PGA 放大器

CS1231 集成低噪声，低漂移 PGA 放大器与桥式传感器差分输出连接，其内部基本结构如图 4 所示，前置抗 EMI 滤波器电路 $R=450\Omega$ ， $C=18\text{pF}$ 实现 20M 高频滤波。低噪声 PGA 放大器通过 $Rf1$ ， $R1$ ， $Rf2$ 实现 64 倍放大，与后级电路组成 64 和 128 的 PGA 放大。通过对引脚 GAIN 的控制来选择 64 倍，128 倍等不同的增益倍数。在 CAP 端口处接一个外置 $0.1\mu\text{F}$ 电容，与内置 2K 欧电阻 R_{int} 组成一个低通滤波电路，用于低噪声 PGA 放大器输出信号的高频滤波，同时该低通滤波器也可以作为 ADC 的抗混叠滤波器。

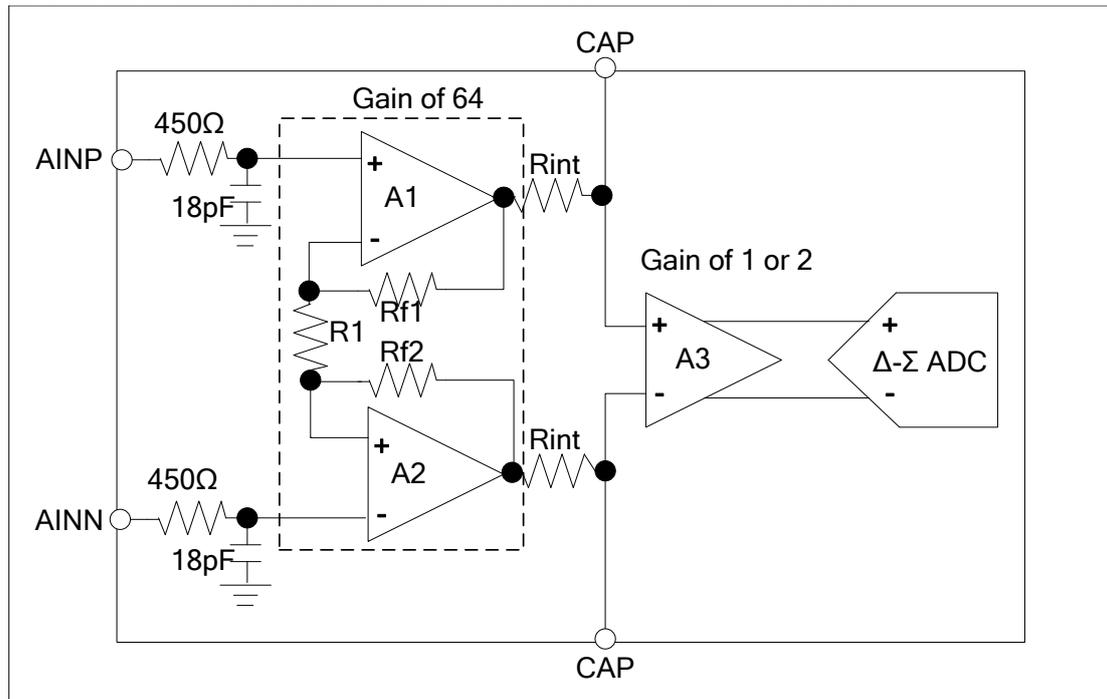


图4 PGA 结构图

2.3 时钟信号源

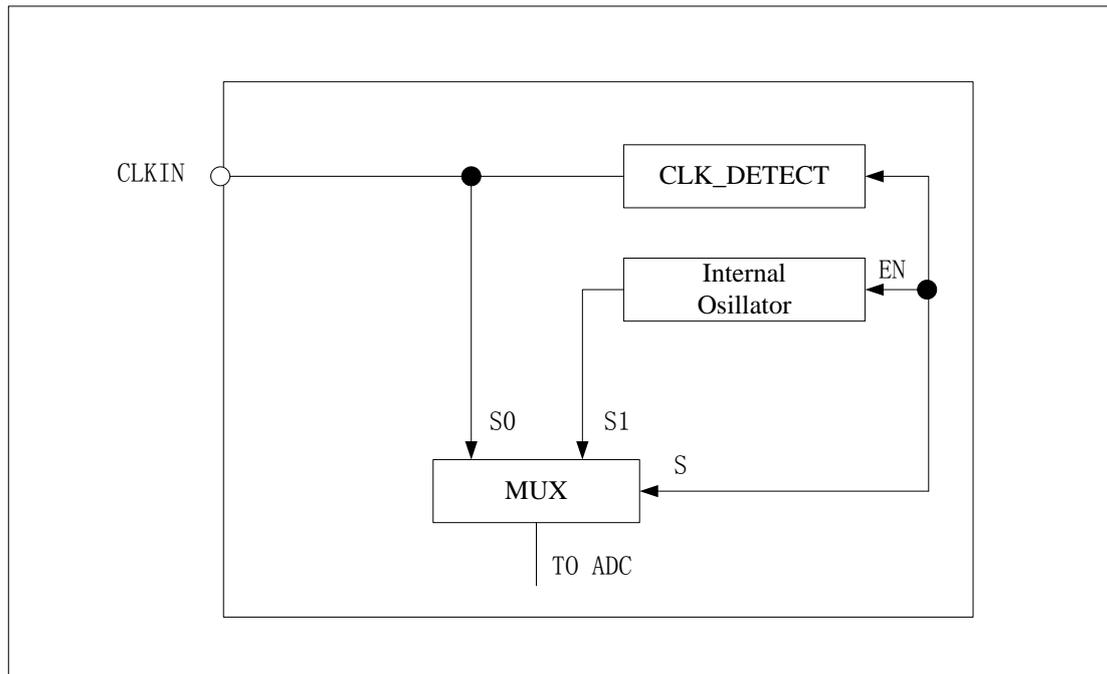


图5 CS1231 时钟信号

CS1231 可以使用外部输入时钟或内置振荡电路来提供系统所需要的时钟频率，图 5 为 CS1231 时钟系统的基本结构图，CLK_DETECT 用来检测是否存在外置时钟以确定关闭或打开内置振荡电路，当 CLKIN 的频率超过 200kHz 时，CLK_DETECT 的输出置低以关闭内置振荡电路，当 CLKIN 的频率小于 200kHz 时，CLK_DETECT 的输出置高以打开内置振荡电路，使用内置振荡电路建议将 CLKIN 置低。

2.4 复位和断电(POR & power down)

当芯片上电时，内置上电复位电路会使芯片自动复位。将引脚 \overline{PDWN} 端口拉低，可以使整个系统进入 Power down 状态，此时功耗低于 1.6uA，正常使用时将 \overline{PDWN} 拉高。

2.5 SPI 串口通信

CS1231 采用 2 线 SPI 串口通信，通过 SCLK 和 $\overline{DRDY}/DOUT$ 可以实现数据的接收。CS1231 可以持续的转换模拟输入信号，当将 $\overline{DRDY}/DOUT$ 拉低后，表明数据已经准备好，输入的第一个 SCLK 就可以将 24 位 AD 值的最高位读出，在 24 个 SCLK 后，将所有的 24 位 DOUT 数据读出，之后 $\overline{DRDY}/DOUT$ 会保持着最后一位的数据，直到下一个数据准备好之前拉高，此后当 $\overline{DRDY}/DOUT$ 被再次拉低，表示新的数据已经转换完成，可进行下一个数据读取。在接收完成一组数据后，应当保持 SCLK 的电平为低，防止 SCLK 高电平时间过长，使 CS1231 误入 Standby 模式。每次数据读取可以不需要读完 24bit 数据，是否全部读完 24bit 数据对下次模数转换没有影响。

2.5.1 建立时间

CS1231 在连续转换过程中，若外部差分输入信号发生突然变化，需要建立时间。突变的信号需要 4 个转换周期进行建立，第 5 个转换周期得到最终的 AD 值。图 7 描述突变信号建立的过程。若在建立的过程中，信号再发生突变，则忽略之前的建立，需要新的 4 个转换周期进行建立，之后紧接着的第 5 个转换周期得到最终的 AD 值。

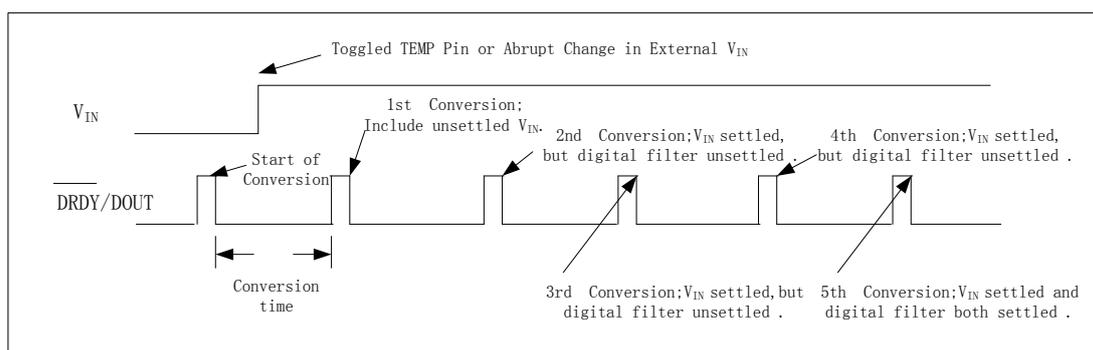


图6 CS1231 在连续转换模式的建立时间

2.5.2 输出速率

CS1231 的输出速率可以通过 SPEED 引脚设置。当 SPEED 为低电平时，输出速率为 10 Hz，此时输出速率拥有最小的噪声，并对 50Hz/60Hz 噪声有很好的抑制作用；当 SPEED 为高电平时，输出速率为 80Hz。

表7 输出速率设置

SPEED 引脚	输出速率	
	时钟为 4.9152MHz	其他外部时钟
0	10Hz	$f_{CLK}/491,520$
1	80Hz	$f_{CLK}/61,440$

2.5.3 数据格式

CS1231 输出的数据为 24 位的 2 进制补码，最高位（MSB）最先输出。最小有效位（LSB）为 $(0.5V_{REF}/Gain)/(2^{23}-1)$ 。正值满幅输出码为 7FFFFFFH，负值满幅输出码为 800000H。下表为不同模拟输入信号对应的理想输出码。

表8 理想输出码和输入信号⁽¹⁾

输入信号 V_{IN} (AINP-AINN)	理想输出
$\geq +0.5V_{REF}/Gain$	7FFFFFFH
$(+0.5V_{REF}/Gain)/(2^{23}-1)$	000001H
0	000000H
$(-0.5V_{REF}/Gain)/(2^{23}-1)$	FFFFFFFH
$\leq -0.5V_{REF}/Gain$	800000H

(1) 不考虑噪声，INL，失调误差和增益误差的影响

2.5.4 数据准备/数据输入输出($\overline{DRDY}/DOUT$)

$\overline{DRDY}/DOUT$ 引脚有 2 个用途。第一，当输出为低时，表示新的数据已经转换完成；第二，作为数据输出引脚，当数据准备好后，在第 1 个 SCLK 的上升沿后， $\overline{DRDY}/DOUT$ 输出转换数据的最高位（MSB）。在每一个 SCLK 的上升沿，数据会自动移 1 位。在 24 个 SCLK 后，将所有的 24 位 DOUT 数据读出，之后 $\overline{DRDY}/DOUT$ 会保持着最后一位的数据，直到下一个数据准备好之前拉高，此后当 $\overline{DRDY}/DOUT$ 被再次拉低，表示新的数据已经转换完成，可进行下一个数据读取。

2.5.5 串行时钟输入(SCLK)

串行时钟输入是一个数字引脚。这个信号应保证是一个干净的信号，毛刺或慢速的上升沿都会可能导致读取错误数据或误入错误状态。因此，应保证 SCLK 的上升和下降时间都小于 50ns。

2.5.6 数据接收

CS1231 可以持续的转换模拟输入信号，当将 $\overline{DRDY}/DOUT$ 拉低后，表明数据已经准备好接受，输入的的第一个 SCLK 来就可以将输出的最高位读出，在 24 个 SCLK 后，将所有的 24 位 DOUT 数据读出，之后 $\overline{DRDY}/DOUT$ 会保持着最后一位的数据，直到其被拉高，通过第 25 个 SCLK 可以将 $\overline{DRDY}/DOUT$ 拉高，此后当 $\overline{DRDY}/DOUT$ 被再次拉低，表示新的数据已经准备好接受，进行下一个数据的转换。其基本时序如图所示：

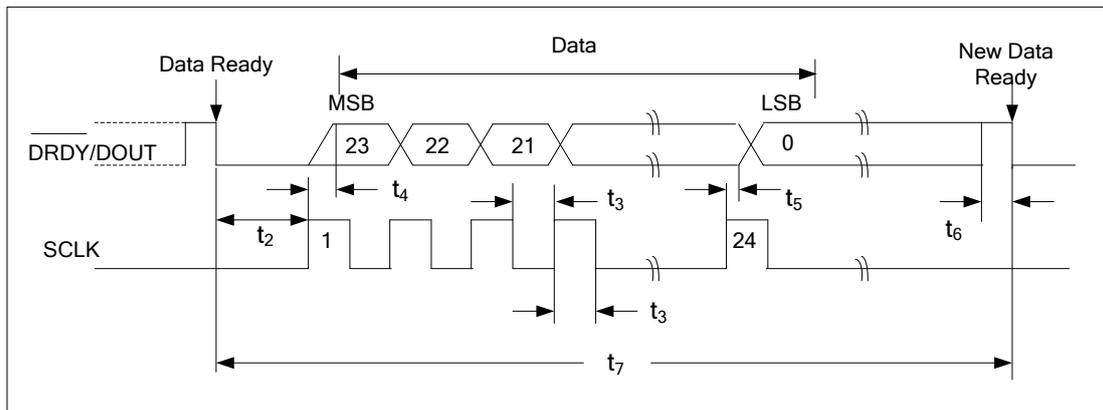


图7 CS1231 读取数据时序图

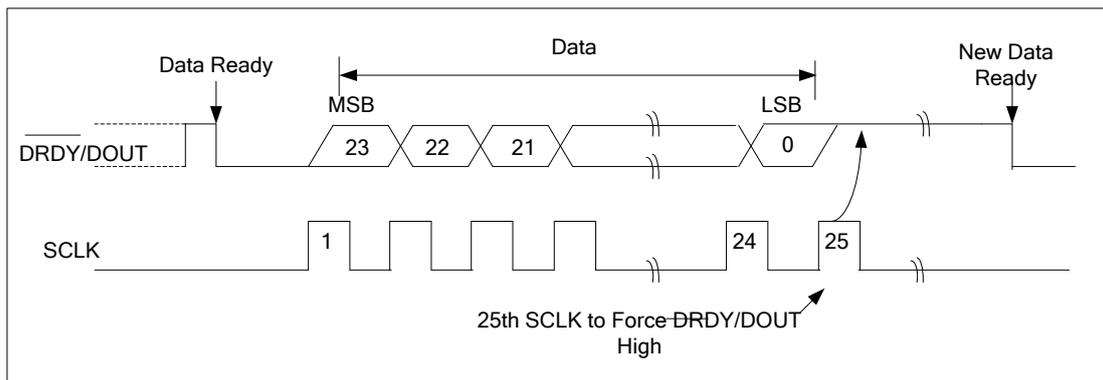


图8 CS1231 读取数据时序且将 $\overline{DRDY}/DOUT$ 拉高时序

表9 读取数据时序表

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t2	$\overline{DRDY}/DOUT$ 变低后到第一个SCLK上升沿	0			ns
t3	SCLK 高电平或低电平脉宽	250			ns
t4	SCLK上升沿到新数据位有效(传输延迟)			200	ns
t5	SCLK上升沿到旧数据位有效(保持时间)	0			ns
t6	数据更新，不允许读之前的数据	39			us
t7	转换时间 (1/data rate)	SPEED = 1	12.5		ms
		SPEED = 0	100		ms

2.5.7 Standby 模式

Standby 模式通过关闭大部分电路来减小功耗。在 standby 模式中，整个模拟电路关闭，只有时钟电路工作。进入 standby 模式的方式是， $\overline{DRDY}/DOUT$ 变低后（数据准备好），一直保持 SCLK 高电平即可进入 standby 模式。进入 standby 模式的方式是在任何读取数据过程中。当 SCLK 保持高电平满足 t_{10} ，Standby 模式将会激活。进入 standby 模式， $\overline{DRDY}/DOUT$ 会保持高电平。在 standby 模式，SCLK 必须一直保持为高电平。当 SCLK 变低电平时，芯片退出 standby 模式开始新的数据转换。

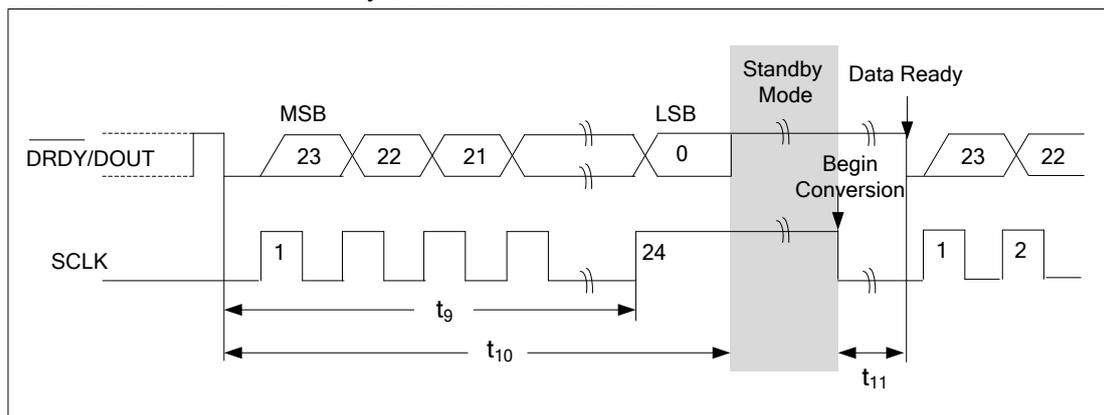


图9 Standby 模式时序图

表10 Standby 模式时序表

参数	描述		最小值	典型值	最大值
$t_9^{(1)}$	在 $\overline{DRDY}/DOUT$ 变低后，SCLK 拉高进入 standby 模式	SPEED = 1	0	12.44	ms
		SPEED = 0	0	99.94	ms
$t_{10}^{(1)}$	standby 模式激活时间	SPEED = 1	12.46		ms
		SPEED = 0	99.96		ms
$t_{11}^{(1)}$	退出 standby 后到数据准备好	SPEED = 1	57	57	ms
		SPEED = 0	407	407	ms

(1) 值是在 fclk=4.9152MHz 时对应的值，不同的 fclk 频率，数值等比例变化

2.5.8 上电顺序

AVDD 和 DVDD 必须在 \overline{PDWN} 信号变成高电平之前上电。

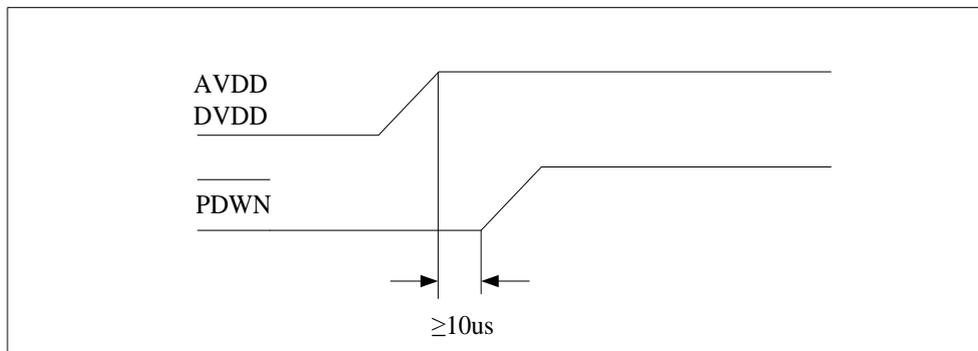


图10 CS1231 上电顺序图

2.5.9 Power down 模式

\overline{PDWN} 信号有效时关掉芯片所有电路，功耗小于 1.6uA。只需把 \overline{PDWN} 引脚保持低电平，即可进入 Power Down 模式。

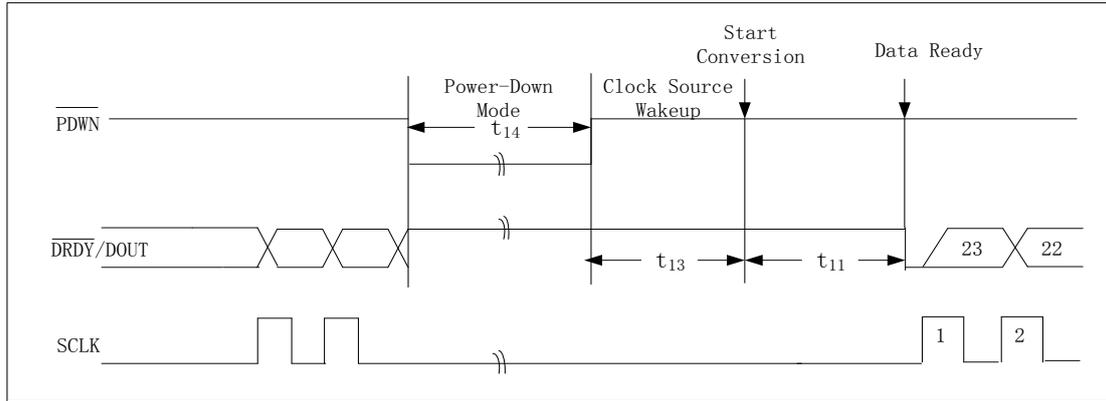


图11 Power Down 模式时序图

表11 Power Down 模式时序表

参数	描述	典型值	单位
$t_{13}^{(1)}$	在 POWER DOWN 模式下唤醒时间	内部时间	7.95
		外部时间	0.16
$t_{14}^{(1)}$	\overline{PDWN} 脉宽	26 (min)	us

(1) 值是在 fclk=4.9152MHz 时对应的值，不同的 fclk 频率，数值等比例变化

3 芯片封装

3.1 采用 TSSOP-16 封装形式

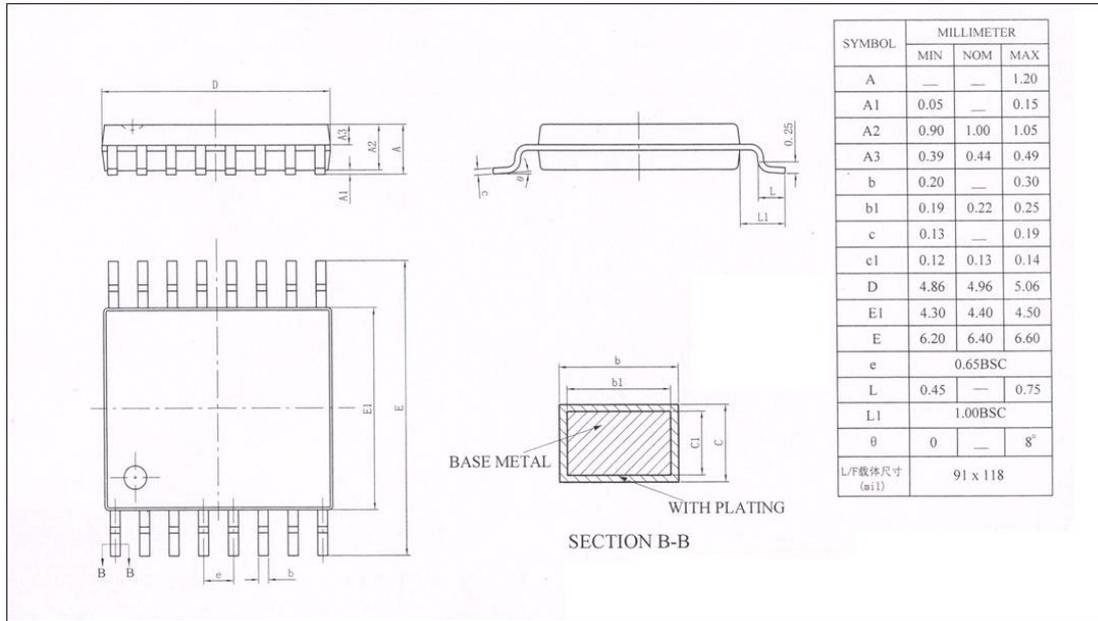


图12 芯片 TSSOP-16封装尺寸信息

3.2 采用 SOP-16 封装形式

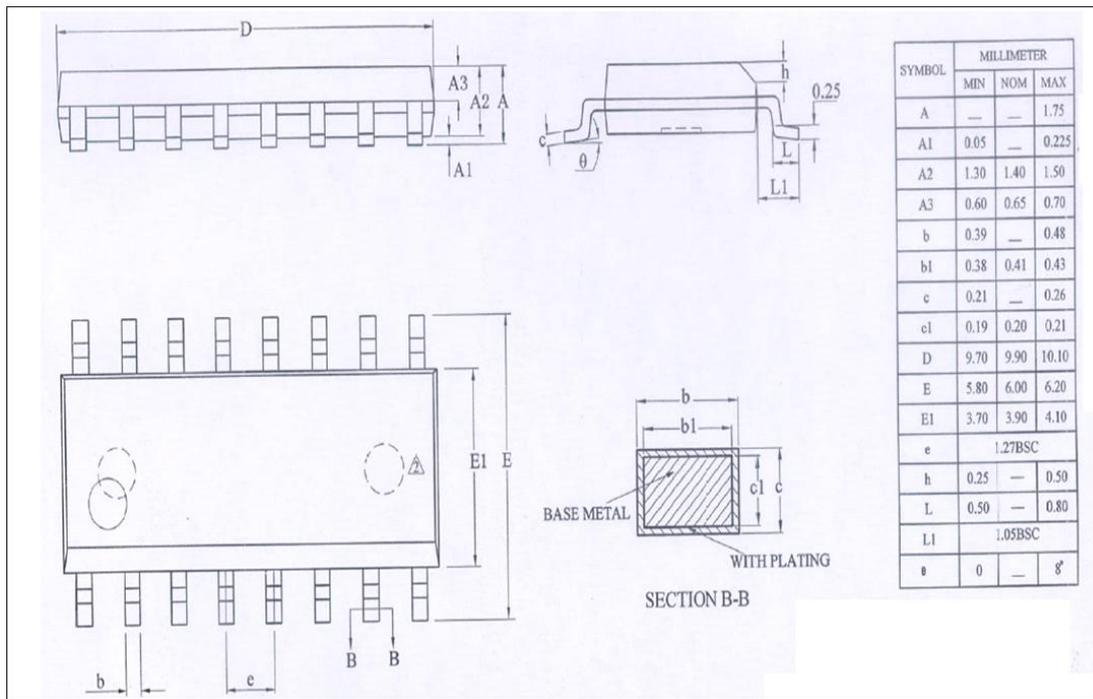


图13 芯片 SOP-16封装尺寸信息