

产品特性

2.5 V至5.5 V电源供电
 50 MHz串行接口
 乘法带宽: 10 MHz
 更新速率: 2.5 MSPS
 INL: ± 1 LSB(12位DAC)
 ± 10 V基准电压输入
 低毛刺能量 < 2 nV-s
 扩展温度范围: -40°C 至 $+125^{\circ}\text{C}$
 10引脚MSOP封装
 引脚兼容的8/10/12位电流输出DAC
 保证单调性
 四象限乘法
 上电复位, 具有掉电检测功能
 菊花链模式
 回读功能
 功耗: 0.4 μA (典型值)

应用

便携式电池供电应用
 波形发生器
 模拟处理
 仪器仪表
 可编程放大器和衰减器
 数字控制校准
 可编程滤波器和振荡器
 复合视频
 超声
 增益、失调和电压调整

概述

AD5426/AD5432/AD5443¹分别是CMOS、8/10/12位、电流输出数模转换器(DAC)。这些器件采用2.5 V至5.5 V电源供电, 适合电池供电应用及许多其它应用。

这些DAC采用双缓冲三线式串行接口, 并且与SPI、QSPI™、MICROWIRE™及大多数DSP接口标准兼容。采用多个封装时, 还可以通过串行数据输出引脚(SDO), 将这些DAC以菊花链形式相连。利用数据回读功能, 用户可以通过SDO引脚读取DAC寄存器的内容。上电时, 内部移位寄存器和锁存以0填充, DAC输出处于零电平。

上述器件采用CMOS亚微米工艺制造, 能够提供出色的四象限乘法特性, 大信号乘法带宽达10 MHz。满量程输出电流由所施加的外部基准输入电压 V_{REF} 决定。与外部电流至电压精密放大器配合使用时, 集成的反馈电阻 R_{FB} 可提供温度跟踪和满量程电压输出。

AD5426/AD5432/AD5443 DAC采用小型、10引脚MSOP封装。

提供EVAL-AD5443SDZ/EVAL-AD5446SDZ/EVAL-AD5453SDZ评估板用于评估DAC性能。欲了解更多信息, 请参阅UG-327评估板用户指南。

功能框图

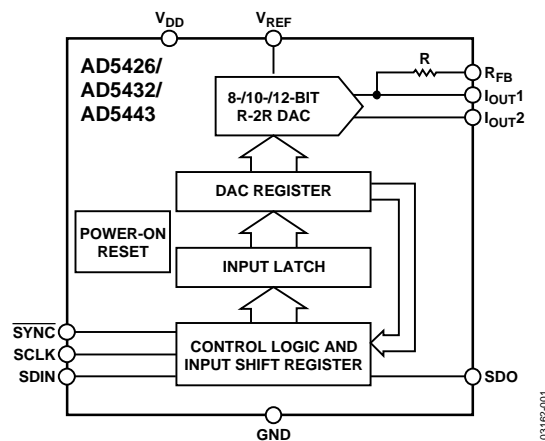


图1.

¹ 美国专利第5,689,257号。

Rev. F

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2004–2012 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	电路工作原理.....	15
应用.....	1	单电源应用.....	17
概述.....	1	正输出电压.....	17
功能框图.....	1	加法增益.....	18
修订历史.....	2	DAC用作分频器或可编程增益器件.....	18
技术规格.....	3	基准电压源选择.....	18
时序特性.....	5	放大器选择.....	18
绝对最大额定值.....	6	串行接口.....	20
ESD警告.....	6	PCB布局和电源去耦.....	22
引脚配置和功能描述.....	7	AD54xx和AD55xx器件概述.....	23
典型性能参数.....	8	外形尺寸.....	24
术语.....	14	订购指南.....	24
工作原理.....	15		

修订历史

2012年7月—修订版E至修订版F

内容不变，仅更改7/12修订历史中的 V_{DD} 数值..... 2

2012年7月—修订版D至修订版E

将 $V_{DD} = 3\text{ V}$ 改为 $V_{DD} = 2.5\text{ V}$ 通篇
更改表2..... 4
更改表4..... 7
更改“菊花链模式”部分..... 20
更改订购指南..... 24

2012年4月—修订版C至修订版D

将 $V_{DD} = 2.5\text{ V}$ 改为 $V_{DD} = 3\text{ V}$ 通篇
更改概述部分..... 1
删除“微处理器接口”部分、“ADSP-21xx与AD5426/AD5432/AD5443的接口”部分、图51、图52、表11、“ADSP-BF5x与AD5426/AD5432/AD5443的接口”部分、图53、图54；重新排序..... 21
删除“80C51/80L51与AD5426/AD5432/AD5443的接口”部分、图55、“MC68HC11与AD5426/AD5432/AD5443的接口”部分、图56、“MICROWIRE与AD5426/AD5432/AD5443的接口”部分、图57、“PIC16C6x/7x与AD5426/AD5432/AD5443的连接”部分以及图58..... 22
删除“AD5426/AD5432/AD5443系列DAC评估板”部分、“评估板操作”部分、“电源”部分..... 23

删除图59和图60..... 24
更新“外形尺寸”..... 24
更改“订购指南”..... 24
删除图61..... 25
删除图62..... 26

2009年2月—修订版B至修订版C

更改“低功耗串行接口”部分和“菊花链模式”部分..... 20
更新“外形尺寸”..... 28

2008年11月—修订版A至修订版B

更改“订购指南”..... 28

2005年5月—修订版0至修订版A

格式更新..... 通篇
更改技术规格..... 3
更改图42..... 16
更改图45..... 17
更改图46..... 18
更改表7、表8和表9..... 19
新增“微处理器接口”部分..... 21

2004年2月—修订版0：初始版

技术规格

$V_{DD} = 2.5 \text{ V至} 5.5 \text{ V}$, $V_{REF} = 10 \text{ V}$, $I_{OUT2} = 0 \text{ V}$; Y级温度范围: $-40^\circ\text{C至} +125^\circ\text{C}$; 除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} ; 除非另有说明, 直流性能采用OP177测量; 交流性能采用AD8038。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
静态性能					
AD5426					
分辨率			8	位	
相对精度			± 0.25	LSB	
差分非线性			± 0.5	LSB	保证单调性
AD5432					
分辨率			10	位	
相对精度			± 0.5	LSB	
差分非线性			± 1	LSB	保证单调性
AD5443					
分辨率			12	位	
相对精度			± 1	LSB	
差分非线性			$-1/+2$	LSB	保证单调性
增益误差			± 10	mV	
增益误差温度系数 ¹		± 5		ppm FSR/ $^\circ\text{C}$	
输出漏电流			± 10	nA	数据 = 0x0000, $T_A = 25^\circ\text{C}$, I_{OUT1}
			± 20	nA	数据 = 0x0000, $T = -40^\circ\text{C至} 125^\circ\text{C}$, I_{OUT1}
基准输入 ¹					
基准输入范围		± 10		V	
V_{REF} 输入电阻	8	10	12	k Ω	输入电阻TC = $-50 \text{ ppm}/^\circ\text{C}$
R_{FB} 电阻	8	10	12	k Ω	输入电阻TC = $-50 \text{ ppm}/^\circ\text{C}$
输入电容					
代码零电平		3	6	pF	
代码满量程		5	8	pF	
数字输入/输出 ¹					
输入高电压 V_{IH}	1.7			V	
输入低电压 V_{IL}			0.6	V	
输出高电压 V_{OH}	$V_{DD} - 1$			V	$V_{DD} = 4.5 \text{ V至} 5 \text{ V}$, $I_{SOURCE} = 200 \mu\text{A}$
	$V_{DD} - 0.5$			V	$V_{DD} = 2.5 \text{ V至} 3.6 \text{ V}$, $I_{SOURCE} = 200 \mu\text{A}$
输出低电压 V_{OL}			0.4	V	$V_{DD} = 4.5 \text{ V至} 5 \text{ V}$, $I_{SINK} = 200 \mu\text{A}$
			0.4	V	$V_{DD} = 2.5 \text{ V至} 3.6 \text{ V}$, $I_{SINK} = 200 \mu\text{A}$
输入漏电流, I_{IL}			1	μA	
输入电容		4	10	pF	
动态性能 ¹					
基准乘法带宽		10		MHz	$V_{REF} = \pm 3.5 \text{ V}$; DAC加载全1
输出电压建立时间					$V_{REF} = 10 \text{ V}$; $R_{LOAD} = 100 \Omega$, DAC锁存交替加载0和1
FS测量精度为 $\pm 16 \text{ mV}$		50	100	ns	
FS测量精度为 $\pm 4 \text{ mV}$		55	110	ns	
FS测量精度为 $\pm 1 \text{ mV}$		90	160	ns	
数字延迟		40	75	ns	接口延迟时间
10%到90%上升/下降时间		15	30	ns	上升和下降时间, $V_{REF} = 10 \text{ V}$, $R_{LOAD} = 100 \Omega$
数模转换毛刺脉冲		2		nV-s	主进位跃迁1 LSB变化, $V_{REF} = 0 \text{ V}$
乘法馈通误差					DAC锁存加载全0, $V_{REF} = \pm 3.5$
		70		dB	1 MHz
		48		dB	10 MHz

AD5426/AD5432/AD5443

参数	最小值	典型值	最大值	单位	测试条件/注释
输出电容					
I_{OUT1}		12	17	pF	加载全0
		10	12	pF	加载全1
I_{OUT2}		22	25	pF	加载全0
		10	12	pF	加载全1
数字馈通		0.1		nV-s	馈通至DAC输出(SYNC高电平, 交替加载全0和全1)
模拟THD		81		dB	$V_{REF} = 3.5\text{ V p-p}$, 加载全1, $f = 1\text{ kHz}$
数字THD					时钟 = 1 MHz, $V_{REF} = 3.5\text{ V}$, $C_{COMP} = 1.8\text{ pF}$
50 kHz f_{OUT}		73		dB	
20 kHz f_{OUT}		74		dB	
输出噪声频谱密度		25		nV/ $\sqrt{\text{Hz}}$	在1 kHz条件下
SFDR性能(宽带)					时钟 = 1 MHz, $V_{REF} = 3.5\text{ V}$
50 kHz f_{OUT}		75		dB	
20 kHz f_{OUT}		76		dB	
SFDR性能(窄带)					时钟 = 1 MHz, $V_{REF} = 3.5\text{ V}$
50 kHz f_{OUT}		87		dB	
20 kHz f_{OUT}		87		dB	
交调失真(IMD)		78		dB	时钟 = 1 MHz, $f_1 = 20\text{ kHz}$, $f_2 = 25\text{ kHz}$, $V_{REF} = 3.5\text{ V}$
电源要求					
电源电压范围	2.5		5.5	V	
I_{DD}			0.6	μA	$T_A = 25^\circ\text{C}$, 逻辑输入 = 0 V或 V_{DD}
		0.4	5	μA	$T = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, 逻辑输入 = 0 V或 V_{DD}
电源灵敏度 ¹			0.001	%/%	$\Delta V_{DD} = \pm 5\%$

¹ 通过设计和特性保证, 但未经生产测试。

时序特性

所有输入信号均指定 $t_r = t_f = 1 \text{ ns}$ (10%至90%的 V_{DD}), 并从 $(V_{IL} + V_{IH})/2$ 电平开始。 $V_{DD} = 2.5 \text{ V}$ 至 5.5 V , $V_{REF} = 10 \text{ V}$, $I_{OUT2} = 0 \text{ V}$;
Y级温度范围: -40°C 至 $+125^\circ\text{C}$; 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言, 除非另有说明。

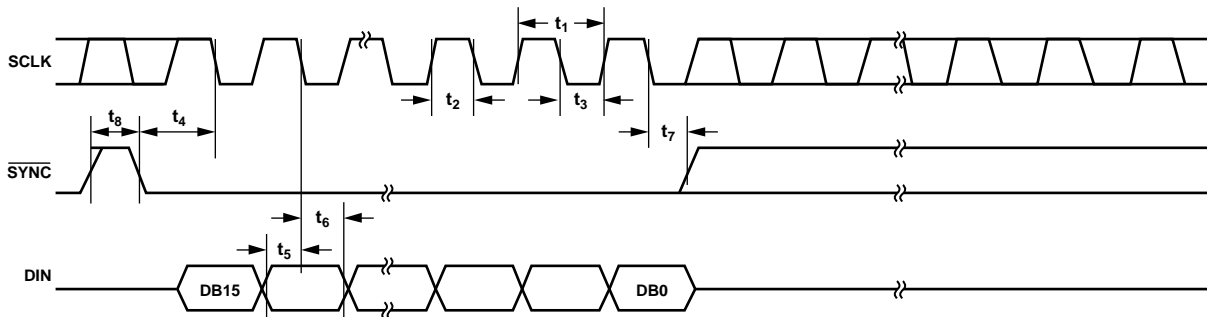
表2.

参数	2.5 V至5.5 V	4.5 V至5.5 V	单位	测试条件/注释
f_{SCLK}	50	50	MHz(最大值)	最大时钟频率
t_1	20	20	ns(最小值)	SCLK周期时间
t_2	8	8	ns(最小值)	SCLK高电平时间
t_3	8	8	ns(最小值)	SCLK低电平时间
t_4^1	13	13	ns(最小值)	SYNC 下降沿到SCLK有效沿建立时间
t_5	5	5	ns(最小值)	数据建立时间
t_6	3	3	ns(最小值)	数据保持时间
t_7	5	5	ns(最小值)	SYNC 上升沿到SCLK有效沿
t_8	30	30	ns(最小值)	最小SYNC高电平时间
$t_9^{2,3}$	80	45	ns(典型值)	SCLK有效沿到SDO有效
	120	65	ns(最大值)	

¹ 下降或上升沿由串行字的控制位决定。

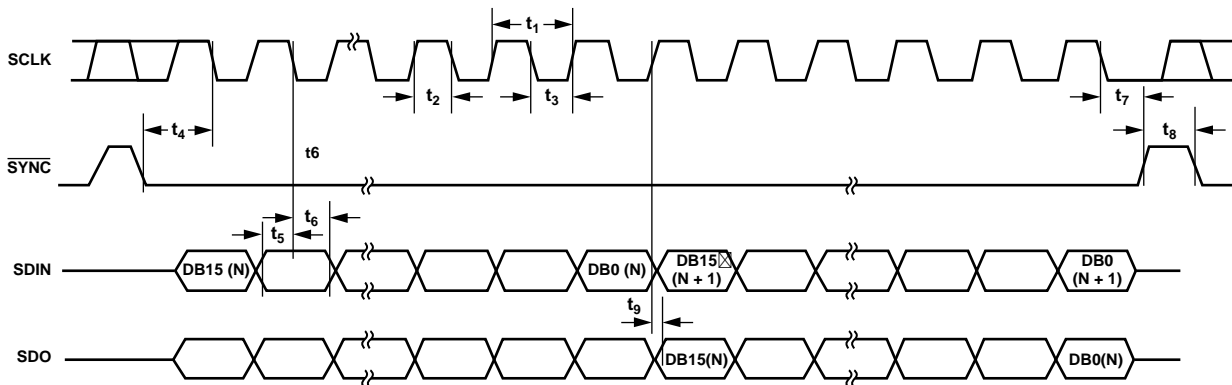
² 菊花链和回读模式无法在最大时钟频率下工作。SDO时序规格采用负载电路测量, 如图4所示。

³ SDO工作电压为 $V_{DD} = 3.0 \text{ V}$ 至 5.5 V 。



ALTERNATIVELY, DATA MAY BE CLOCKED INTO INPUT SHIFT REGISTER ON RISING EDGE OF SCLK AS DETERMINED BY CONTROL BITS. TIMING AS PER ABOVE, WITH SCLK INVERTED.

图2. 独立模式时序图



ALTERNATIVELY, DATA MAY BE CLOCKED INTO INPUT SHIFT REGISTER ON RISING EDGE OF SCLK AS DETERMINED BY CONTROL BITS. IN THIS CASE, DATA WOULD BE CLOCKED OUT OF SDO ON FALLING EDGE OF SCLK. TIMING AS PER ABOVE, WITH SCLK INVERTED.

图3. 菊花链和回读模式时序图

03162-002

03162-003

绝对最大额定值

100 mA以下的瞬态电流不会造成SCR闩锁。除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
V_{DD} 至GND	-0.3 V至+7 V
V_{REF} 、 R_{FB} 至GND	-12 V至+12 V
I_{OUT1} 、 I_{OUT2} 至GND	-0.3 V至 $V_{DD} + 0.3$ V
逻辑输入和输出 ¹	-0.3 V至 $V_{DD} + 0.3$ V
工作温度范围	
扩展工业温度范围(Y级)	-40°C至+125°C
存储温度范围	-65°C至+150°C
结温	150°C
10引脚MSOP θ_{JA} 热阻	206°C/W
引脚温度, 焊接(10秒)	300°C
IR回流焊峰值温度(低于20秒)	235°C

¹ SCLK、 $\overline{\text{SYNC}}$ 和DIN上的过压由内部二极管箝位。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

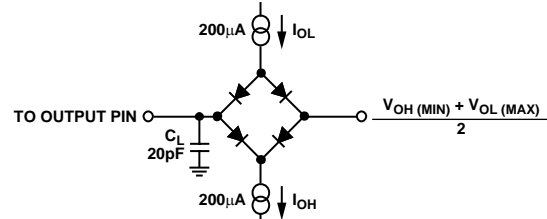


图 4. SDO时序规格的负载电路

03162-004

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

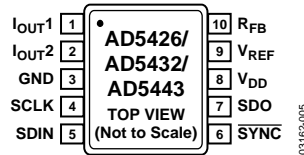


图5. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	描述
1	I _{OUT1}	DAC电流输出。
2	I _{OUT2}	DAC模拟地。此引脚通常应连接到系统的模拟地。
3	GND	数字地引脚。
4	SCLK	串行时钟输入。默认情况下，数据在串行时钟输入的下降沿读入移位寄存器。也可利用串行控制位，将器件配置为数据在SCLK上升沿时读入移位寄存器。该器件能够处理的最高时钟速率为50 MHz。
5	SDIN	串行数据输入。数据在串行时钟输入的有效沿读入16位输入寄存器。默认情况下，上电时，数据在SCLK下降沿读入移位寄存器。控制位允许用户将有效沿改为上升沿。
6	SYNC	低电平有效控制输入。这是输入数据的帧同步信号。当SYNC变为低电平时，SCLK和DIN缓冲器上电，输入移位寄存器使能。数据载入模式中，串行接口对时钟计数，并且数据在第16个有效时钟沿上锁存入移位寄存器。
7	SDO	串行数据输出。允许多个器件以菊花链的方式连接。默认情况下，数据在下降沿读入移位寄存器，并在SCLK上升沿通过SDO输出。数据始终在替代边沿读出，以便读入移位寄存器。将回读控制字写入移位寄存器可让SDO引脚回读DAC寄存器内容，并在有效时钟的相反边沿读出内容。SDO工作电压为V _{DD} = 3.0 V至5.5 V。
8	V _{DD}	正电源输入。该器件可采用2.5 V至5.5 V电源供电。
9	V _{REF}	DAC基准电压输入。
10	R _{FB}	DAC反馈电阻引脚。通过连接到外部放大器输出，建立DAC的电压输出。

典型性能参数

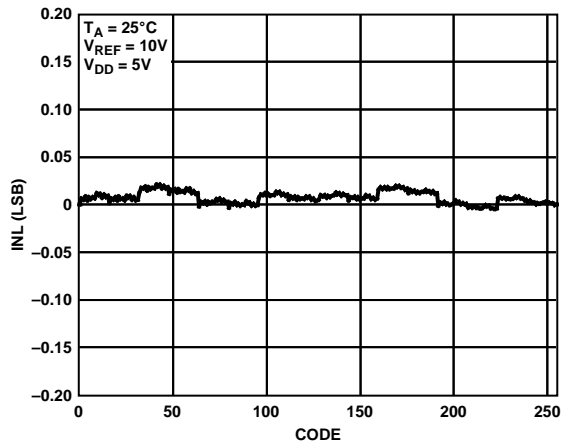


图6. INL与代码的关系(8位DAC)

03162-006

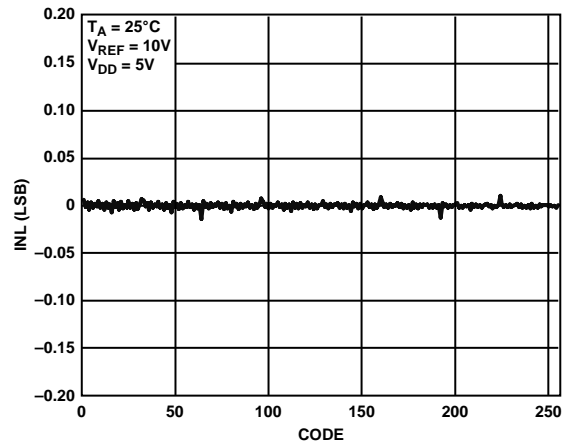


图9. DNL与代码的关系(8位DAC)

03162-009

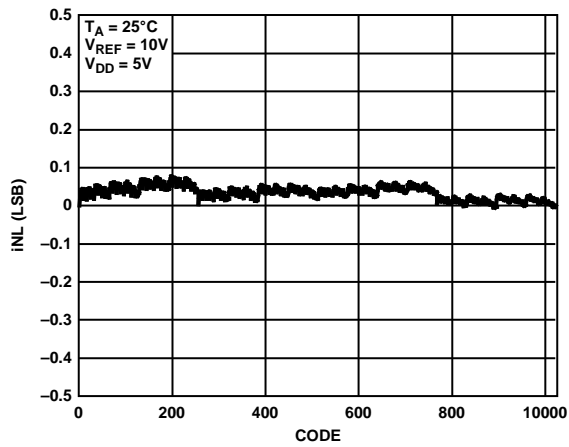


图7. INL与代码的关系(10位DAC)

03162-007

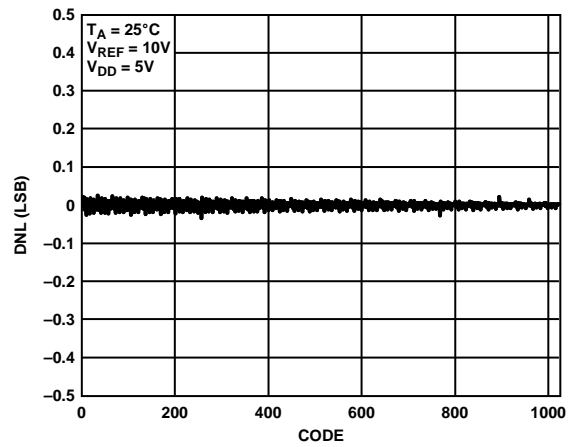


图10. DNL与代码的关系(10位DAC)

03162-010

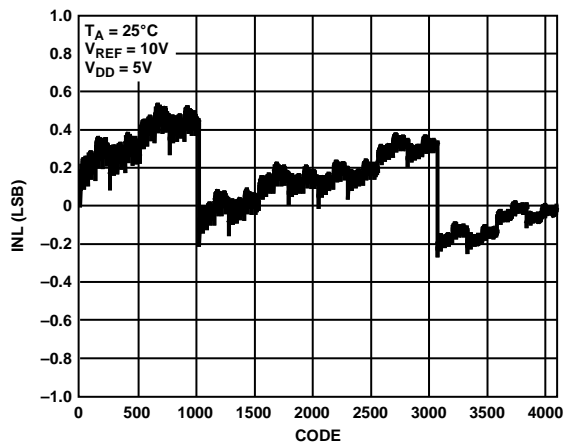


图8. INL与代码的关系(12位DAC)

03162-008

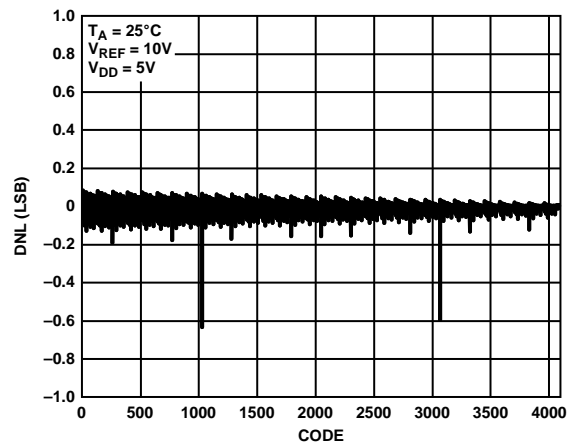


图11. DNL与代码的关系(12位DAC)

03162-011

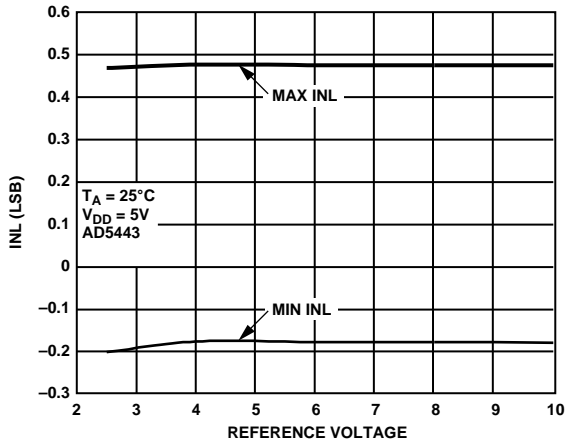


图12. INL与基准电压的关系

03162-012

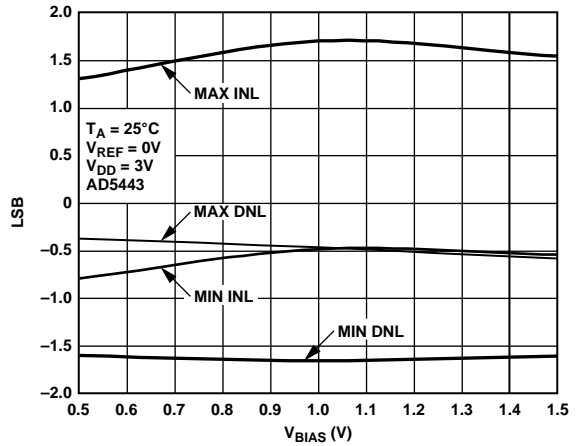


图15. 线性度与IOUT2上VBIAS电压的关系

03162-015

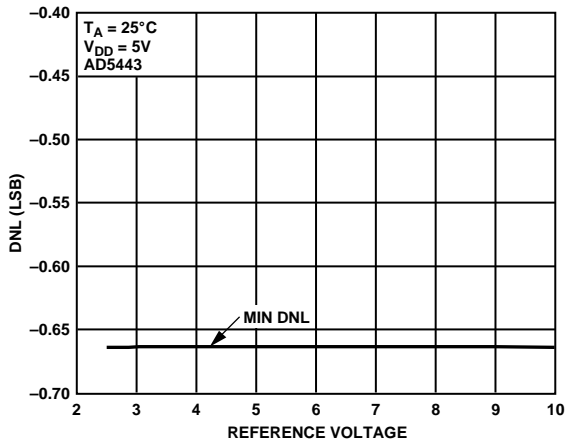


图13. DNL与基准电压的关系

03162-013

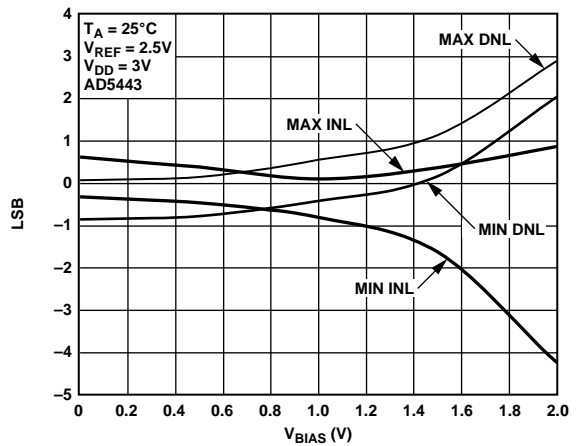


图16. 线性度与IOUT2上VBIAS电压的关系

03162-016

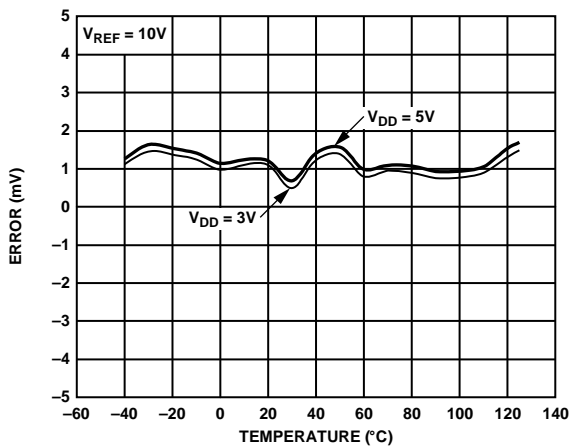


图14. 增益误差与温度的关系

03162-014

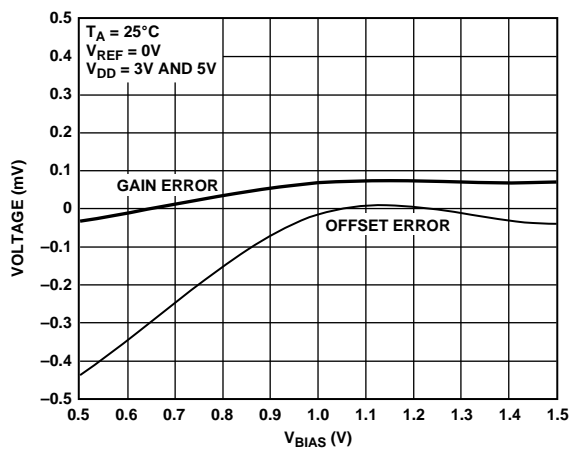


图17. 增益和失调误差与IOUT2上VBIAS电压的关系

03162-017

AD5426/AD5432/AD5443

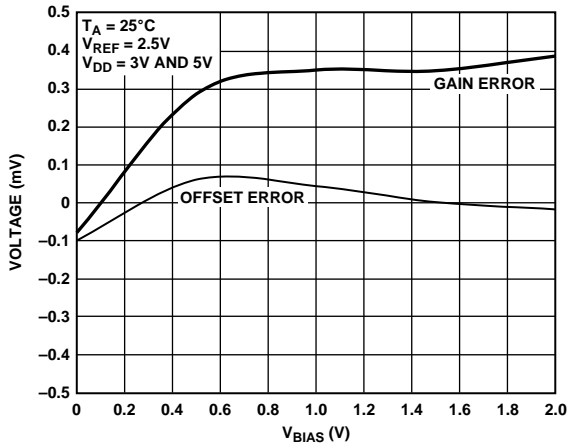


图18. 增益和失调误差与IOUT2上VBIAS电压的关系

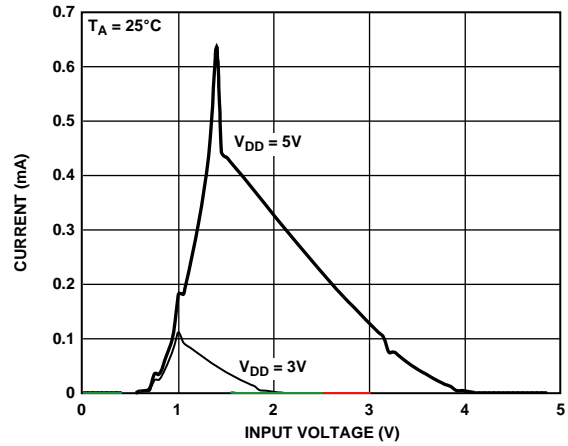


图21. 电源电流与逻辑输入电压的关系, $\overline{\text{SYNC}}(\text{SCLK})$, $\text{DATA} = 0$

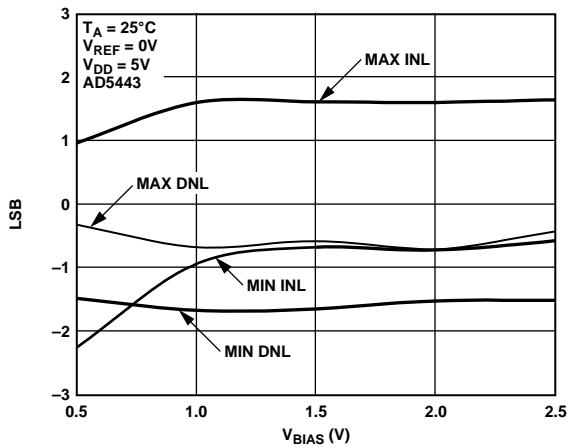


图19. 线性度与IOUT2上VBIAS电压的关系

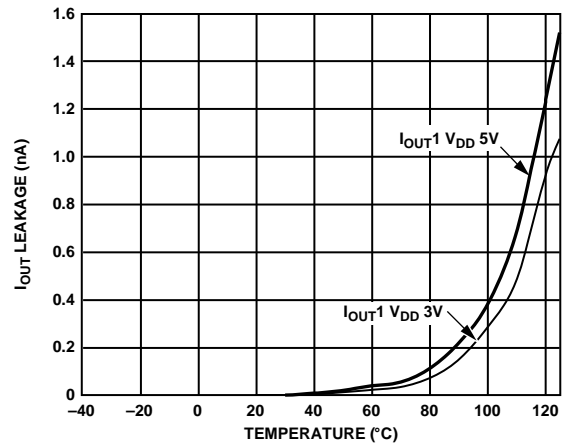


图22. IOUT1漏电流与温度的关系

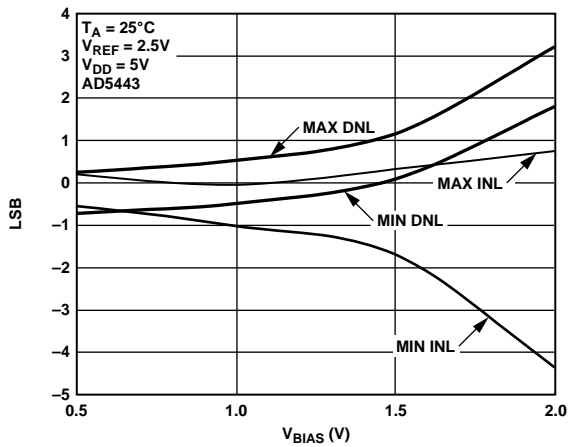


图20. 线性度与IOUT2上VBIAS电压的关系

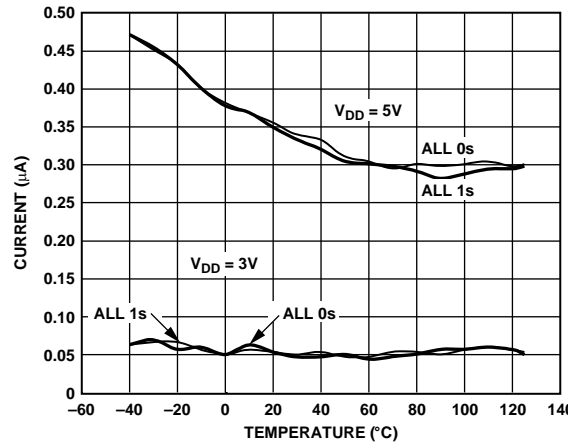


图23. 电源电流与温度的关系

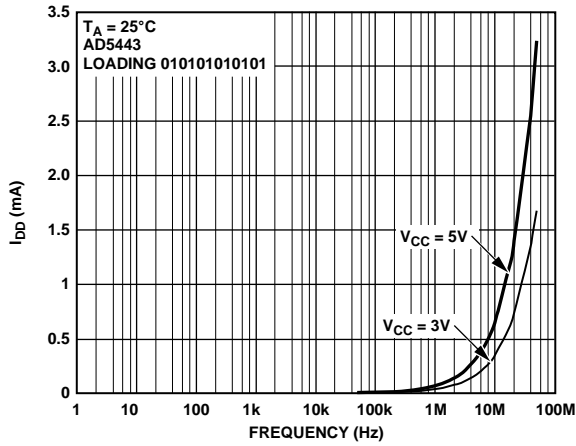


图24. 电源电流与更新速率的关系

03162-024

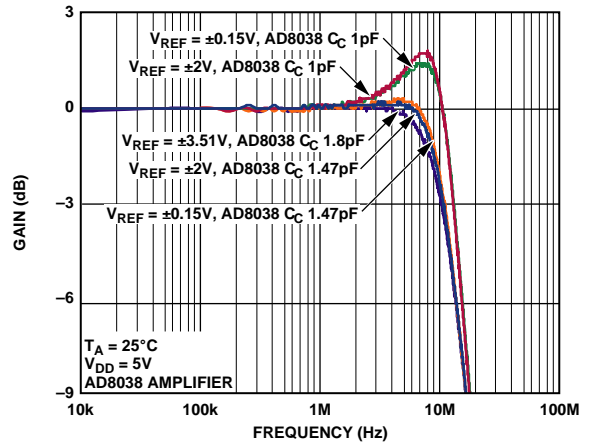


图27. 基准乘法带宽与频率和补偿电容的关系

03162-027

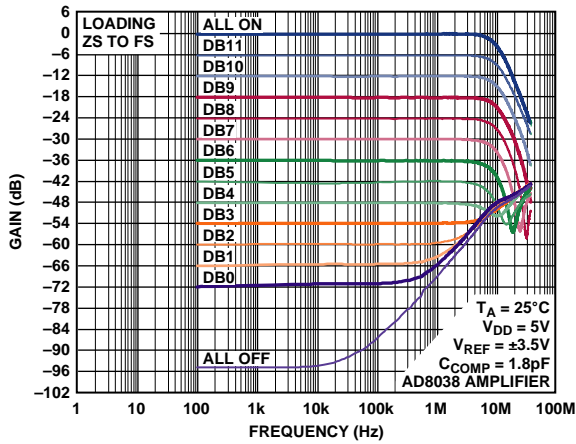


图25. 基准乘法带宽与频率和代码的关系

03162-025

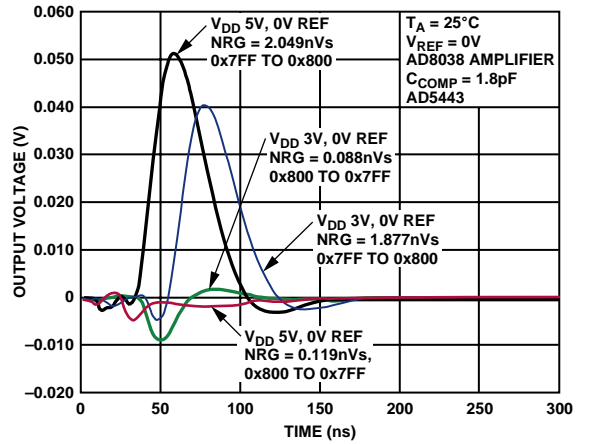


图28. 半量程转换, V_{REF} = 0 V

03162-028

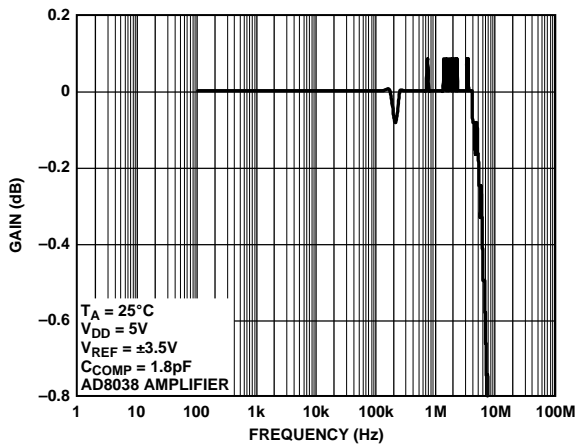


图26. 基准乘法带宽—加载全1

03162-026

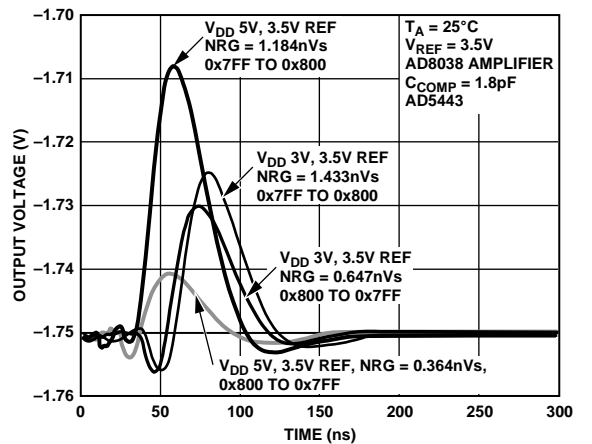


图29. 半量程转换, V_{REF} = 3.5 V

03162-029

AD5426/AD5432/AD5443

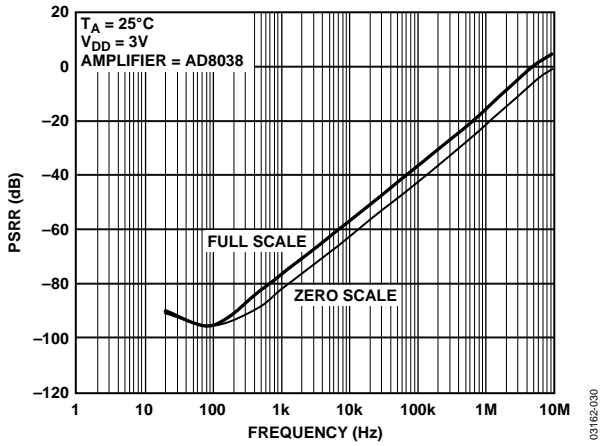


图30. 电源抑制比与频率的关系

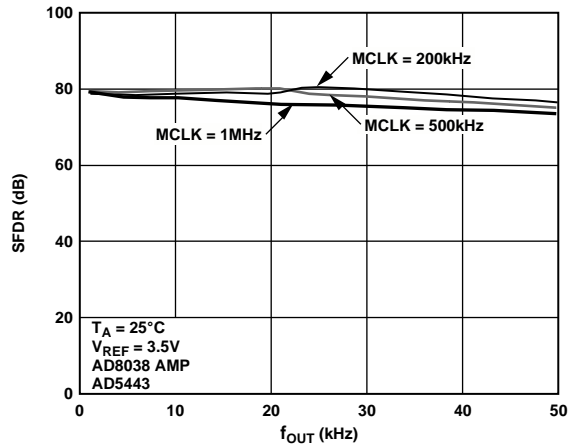


图33. 宽带SFDR与fOUT频率的关系(AD5443)

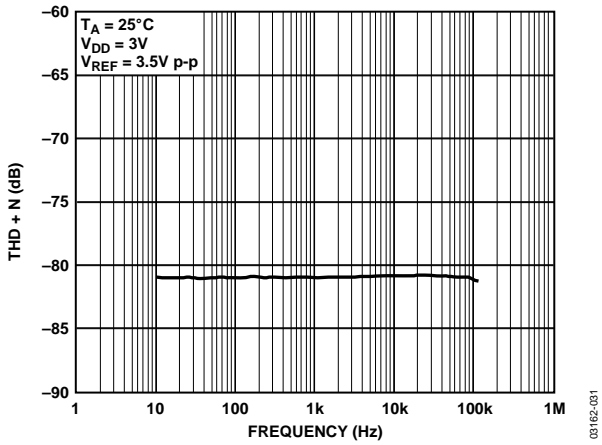


图31. THD和噪声与频率的关系

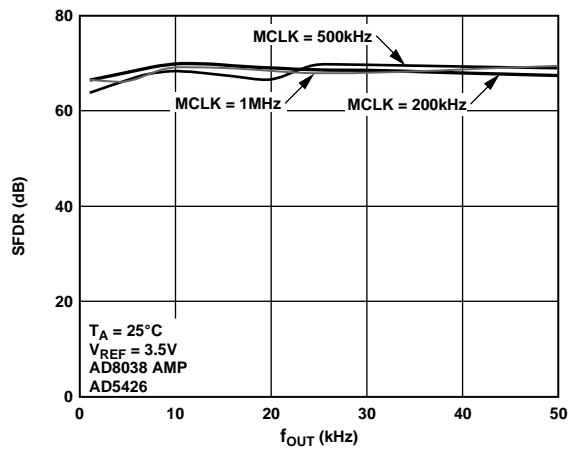


图34. 宽带SFDR与fOUT频率的关系(AD5426)

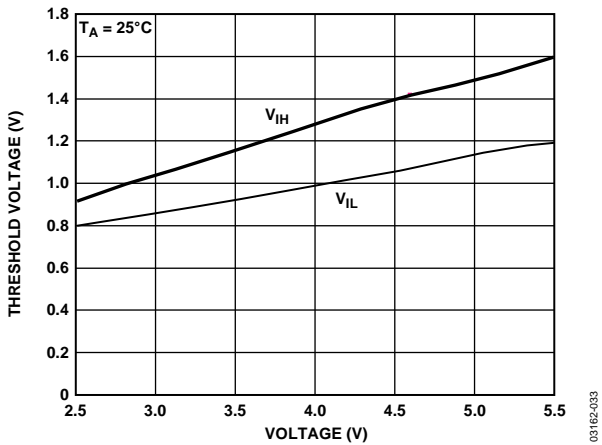


图32. 阈值电压与电源电压的关系

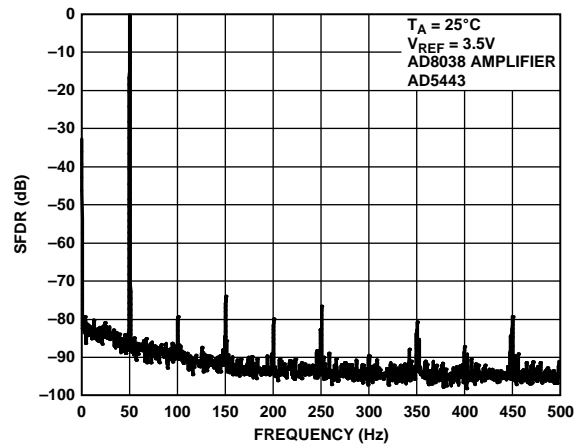


图35. 宽带SFDR fOUT = 50 kHz, 更新速率 = 1 MHz

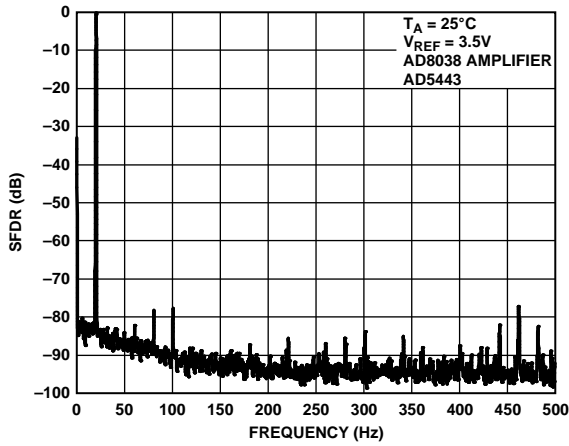


图36. 宽带SFDR $f_{OUT} = 20$ kHz, 更新速率 = 1 MHz

03162-037

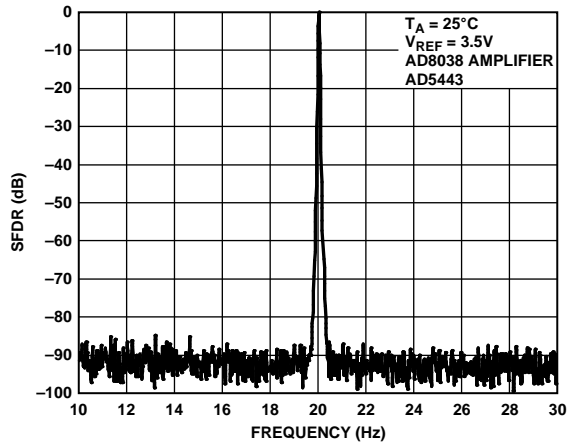


图38. 窄带($\pm 50\%$) SFDR $f_{OUT} = 20$ kHz, 更新速率 = 1 MHz

03162-039

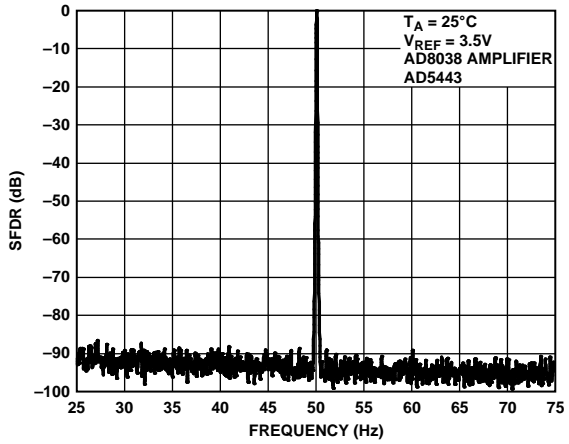


图37. 窄带($\pm 50\%$) SFDR $f_{OUT} = 50$ kHz, 更新速率 = 1 MHz

03162-038

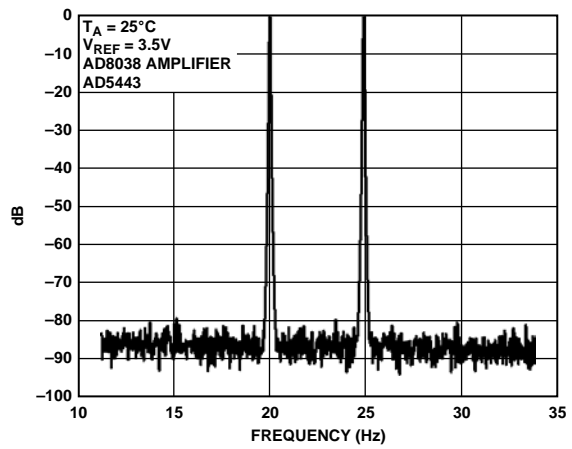


图39. 窄带($\pm 50\%$) IMD $f_{OUT} = 20$ kHz, 25 kHz, 更新速率 = 1 MHz

03162-040

术语

相对精度

相对精度或端点非线性度是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差。在调整零电平和满量程后测量，通常以LSB表示，或以满量程读数的百分比表示。

差分非线性

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。工作温度范围内最大-1 LSB的额定差分非线性可确保单调性。

增益误差

增益误差或满量程误差衡量理想DAC和实际器件之间的输出误差。对于这些DAC而言，理想的最大输出是 $V_{REF} - 1\text{LSB}$ 。DAC的增益误差可通过外部电阻调节为0。

输出漏电流

输出漏电流表示当DAC梯形开关关闭时，流经它们的电流。对于 I_{OUT1} 引脚而言，可通过DAC加载全0然后测量 I_{OUT1} 的电流，测得输出漏电流值。当DAC加载全1时，流过 I_{OUT2} 的电流最小。

输出电容

I_{OUT1} 或 I_{OUT2} 至AGND的电容。

输出电流建立时间

输出电流建立时间是指对于满量程输入变化，输出稳定在指定电平所需的时间。对于这些器件而言，额定值为100 Ω电阻接地。

该建立时间包括从 $\overline{\text{SYNC}}$ 上升沿到满量程输出电荷的数字延迟。

数模转换毛刺脉冲

表示当输入改变状态时，电荷从数字输入注入到模拟输出的量。通常定义为以pA-s或nV-s作为单位的毛刺面积，具体采用哪个单位取决于测量对象是电流还是电压信号。

数字馈通

当该器件未被选中时，器件数字输入端上的高频逻辑活动可以进行容性耦合，以此表现为IOUT引脚以及进入后续电路的噪声。这种噪声就是数字馈通。

乘法馈通误差

表示DAC载入全0时，由DAC基准电压输入至DAC IOUT1引脚的容性馈通所致的误差。

总谐波失真(THD)

DAC由交流基准源驱动。THD表示DAC输出的谐波均方根和与基波的比值。通常仅包括低阶谐波，如二阶至五阶。

$$THD = 20 \log \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)}}{V_1}$$

数字交调失真

二阶交调失真(IMD)衡量DAC以数字方式产生的fa和fb音，以及2fa - fb与2fb - fa的二阶积。

无杂散动态范围(SFDR)

SFDR指DAC的可用动态范围，超出此范围，杂散噪声就会干扰基波信号或使其失真。它用基波与DC至全奈奎斯特带宽(DAC采样速率的一半或 $f_s/2$)范围内的最大谐波或非谐波相关杂散的幅值之差来衡量。窄带SFDR衡量任意窗口范围内的SFDR，本例中为基波的50%。数字SFDR衡量信号为数字生成的正弦波时，DAC的可用动态范围。

工作原理

AD5426、AD5432和AD5443是8/10/12位电流输出型DAC，由标准反相R-2R梯形配置组成。图40给出了8位AD5426的简化示意图。匹配反馈电阻R_{FB}的值为R。R典型值为10 kΩ (8 kΩ最小值和12 kΩ最大值)。若I_{OUT1}和I_{OUT2}保持相同的电位，则无论数字输入代码是多少，每个梯形引脚上均有持续电流流过，从而V_{REF}上的输入电阻始终具有恒定的额定值R。DAC输出(I_{OUT})取决于代码，产生不同的电阻值和电容值。选择外部放大器时，需考虑DAC在放大器反相输入节点上产生的阻抗变化。

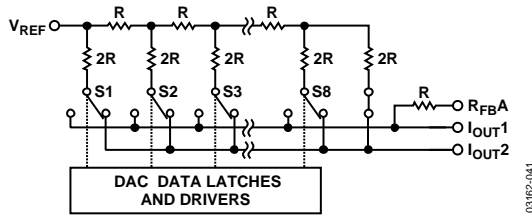


图40. 简化梯形图

可访问DAC的V_{REF}、R_{FB}、I_{OUT1}和I_{OUT2}引脚，使器件功能特别丰富，并允许配置为多种不同的工作模式。例如，可将其配置为单极性输出工作模式、双极性四象限乘法工作模式或单电源工作模式。请注意，匹配的开关与内部R_{FB}反馈电阻串联。如果用户尝试测量R_{FB}，必须为V_{DD}供电，确保连续性。

电路工作原理

单极性模式

只需一个运算放大器，即可轻松配置这些器件来提供二象限乘法操作或单极性输出电压摆幅，如图41所示。

当输出放大器以单极性模式连接时，输出电压可由下式得出：

$$V_{OUT} = -V_{REF} \times \frac{D}{2^n}$$

其中D为载入DAC数字字的小数表示，而n为位数。

- D = 0至255(8位AD5426)
- = 0至1023(10位AD5432)
- = 0至4095(12位AD5443)

请注意，输出电压极性与直流基准电压的V_{REF}极性相反。

这些DAC设计为在正/负基准电压下工作。V_{DD}电源引脚仅用于内部数字逻辑，以驱动DAC开关的通断状态。

这些DAC还设计用于接受交流基准输入信号，范围为-10 V至+10 V。

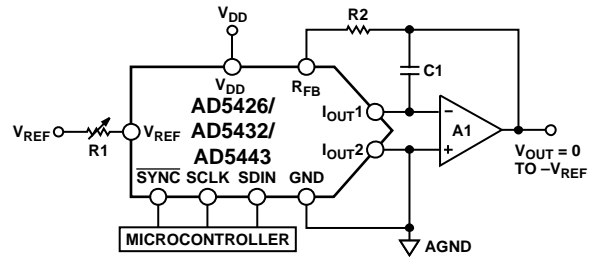
使用固定10 V基准电压源时，图41所示电路具有单极性0 V至-10 V输出电压摆幅。

当V_{IN}为交流信号时，电路执行二象限乘法。

表5列出单极性工作模式下的数字代码和期望输出电压之间的关系(AD5426，8位器件)。

表5. 单极性代码表

数字输入	模拟输出(V)
1111 1111	-V _{REF} (255/256)
1000 0000	-V _{REF} (128/256) = -V _{REF} /2
0000 0001	-V _{REF} (1/256)
0000 0000	-V _{REF} (0/256) = 0



NOTES

1. R1 AND R2 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

图41. 单极性工作原理

AD5426/AD5432/AD5443

双极性操作

在某些应用中，可能需要产生全四象限乘法功能，或双极性输出摆幅。通过使用另一个外部放大器和一些外部电阻便可轻松实现，如图42所示。在该电路中，第二个放大器A2提供的增益为2。利用基准电压提供的偏置电压使外部放大器偏置，便可实现全四象限乘法操作。此电路的传递函数显示，当输入数据D从代码0($V_{OUT} = -V_{REF}$)递增至中量程($V_{OUT} = 0V$)、满量程($V_{OUT} = +V_{REF}$)时，正负输出电压均会产生。

$$V_{OUT} = \left(V_{REF} \times \frac{D}{2^{n-1}} \right) - V_{REF}$$

其中D为载入DAC数字字的小数表示，而n为DAC分辨率。

- D = 0至255(8位AD5426)
- = 0至1023(10位AD5432)
- = 0至4095(12位AD5443)

当 V_{IN} 为交流信号时，电路执行四象限乘法。

表6列出双极性工作模式下的数字代码和期望输出电压之间的关系(AD5426, 8位器件)。

表6. 双极性代码表

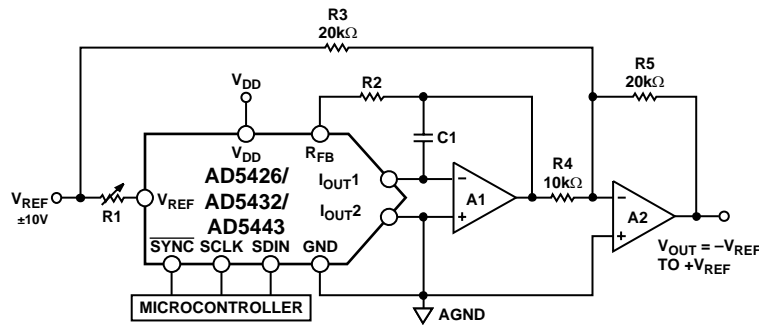
数字输入	模拟输出(V)
1111 1111	+V _{REF} (127/128)
1000 0000	0
0000 0001	-V _{REF} (127/128)
0000 0000	-V _{REF} (128/128)

稳定性

对于电流转电压配置，DAC的 I_{OUT} 和运算放大器的反相节点必须尽可能彼此靠近连接，且必须采用合适的PCB布局技术。因为每个代码变化对应于一个阶跃函数，所以如果运算放大器的增益带宽积(GBP)有限且反相节点处存在过大的寄生电容，则会出现增益峰值。该寄生电容在开环响应中引入一个极点，它可能会在闭环应用中引起响铃振荡或不稳定。

可选的补偿电容C1能够与 R_{FB} 并联增加稳定性，如图41和图42所示。C1值过小可能会在输出端产生响铃振动，而过大则可能会对建立时间带来不利影响。

必须凭经验选择C1，但通常1 pF至2 pF就足以补偿。



NOTES

1. R1 AND R2 ARE USED ONLY IF GAIN ADJUSTMENT IS REQUIRED. ADJUST R1 FOR $V_{OUT} = 0V$ WITH CODE 10000000 LOADED TO DAC.
2. MATCHING AND TRACKING IS ESSENTIAL FOR RESISTOR PAIRS R3 AND R4.
3. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1/A2 IS A HIGH SPEED AMPLIFIER.

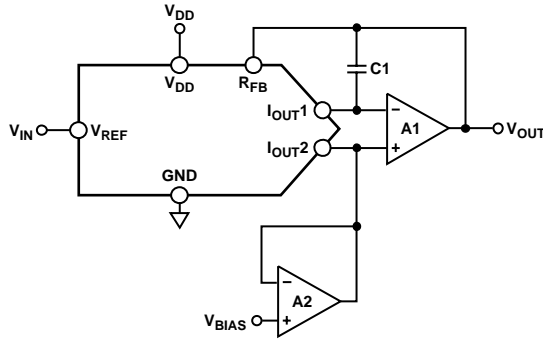
00162-043

图42. 双极性工作原理

单电源应用

电流模式工作原理

这些DAC的额定值经测试，保证可在单电源应用中正常工作。在图43所示的电流模式电路中， I_{OUT2} 和 I_{OUT1} 以 V_{BIAS} 的值正向偏置。



- NOTES
 1. ADDITIONAL PINS OMITTED FOR CLARITY.
 2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

图43. 单电源电流模式工作原理

此配置下的输出电压可通过以下公式计算：

$$V_{OUT} = \{D \times (R_{FB}/R_{DAC}) \times (V_{BIAS} - V_{IN})\} + V_{BIAS}$$

由于 D 在0到255(AD5426)、1023(AD5432)或4095(AD5443)范围内变化，因此输出电压也在下式范围内变化：

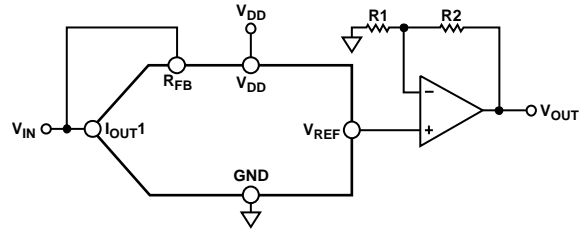
$$V_{OUT} = V_{BIAS} \text{ to } V_{OUT} = 2 V_{BIAS} - V_{IN}$$

V_{BIAS} 应当为低阻抗源，可在 I_{OUT2} 引脚端正确输出所有吸电流和源电流的变化。

必须注意，由于DAC梯形开关不再具有相同的源极至漏极驱动电压，因此 V_{IN} 只能接受低电压。这就导致各开关的导通电阻不同，从而降低DAC的线性度。参见图15至图20。

电压开关模式工作原理

图44表示这些DAC在电压开关模式下的工作原理。基准电压 V_{IN} 施加于 I_{OUT1} 引脚， I_{OUT2} 连接至AGND，且 V_{REF} 引脚提供输出电压。在该配置中，正基准电压产生正输出电压，使单电源工作成为可能。DAC输出电压具有恒定阻抗(DAC梯形电阻)，因此需要使用运算放大器缓冲输出电压。基准输入不再具有恒定输入阻抗，而是随代码而变化。因此，应当采用低阻抗源驱动电压输入。



- NOTES
 1. ADDITIONAL PINS OMITTED FOR CLARITY.
 2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

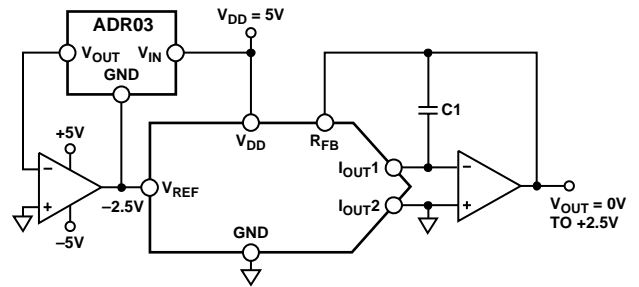
图44. 单电源电压切换模式工作原理

必须注意，由于DAC梯形开关不再具有相同的源极至漏极驱动电压，因此 V_{IN} 只能接受低电压。这就导致各开关的导通电阻不同，从而降低DAC的线性度。

此外， V_{IN} 不能超过负电压以下0.3 V，否则内部二极管将导通，超过器件的最大额定值。在这类应用中，DAC将失去全部范围的乘法功能。

正输出电压

请注意，输出电压极性与直流基准电压的 V_{REF} 极性相反。为了获得正电压输出，由于存在电阻容差误差，与通过反相放大器的输出反转相比，向DAC输入施加负基准电压的方式更好。为了生成负基准电压，运算放大器可以对基准电压进行电平转换，使基准的 V_{OUT} 引脚虚拟接地，且基准的GND引脚为-2.5 V，如图45所示。



- NOTES
 1. ADDITIONAL PINS OMITTED FOR CLARITY.
 2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

图45. 以最少器件数实现正电压输出

提高增益

在要求输出电压大于 V_{IN} 的应用中，可使用一个额外的外部放大器来提高增益，也可通过单级配置实现。应考虑DAC薄膜电阻温度系数的影响。仅将一个电阻与RFB电阻串联会导致温度系数失配，造成更大的增益温度系数误差。图46中的电路是增加电路增益所推荐的方法。R1、R2和R3应具有相似的温度系数，但不必与DAC的温度系数相匹配。在要求增益大于1的电路中，推荐使用这种方法。

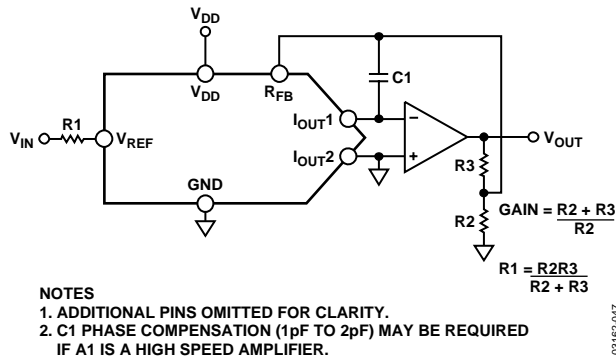


图46. 提高电流输出DAC的增益

DAC用作分频器或可编程增益器件

电流导引DAC非常灵活，因此可用于许多不同的应用。如果这类DAC作为运算放大器的反馈器件连接，且 R_{FB} 用作输入电阻，如图47所示，则输出电压与数字输入小数D成反比。

若 $D = 1 - 2^{-n}$ ，则输出电压为：

$$V_{OUT} = -V_{IN}/D = -V_{IN}/(1 - 2^{-N})$$

随着D降低，输出电压升高。对于小数值的D，重要的是确保放大器不出现饱和，同时达到要求的精度。例如，图47电路中采用二进制代码0x10(00010000)驱动的8位DAC(即十进制的16)应当使输出电压为 $16 \times V_{IN}$ 。不过，如果DAC线性度额定值为 ± 0.5 LSB，则D事实上可以在 $15.5/256$ 到 $16.5/256$ 的范围内具有任意的权重，因此可能的输出电压范围为 $15.5 V_{IN}$ 到 $16.5 V_{IN}$ ——误差为+3%，哪怕DAC本身的最大误差为0.2%。

在分频器电路中，DAC漏电流也是一个潜在的误差源。必须使用来自运算放大器并流经DAC，且方向相反的电流抵消漏电流。由于输入 V_{REF} 引脚的电流仅有小数D部分被路由至 I_{OUT1} 引脚，输出电压必须根据下式而改变：

$$\text{DAC漏电流导致的输出误差电压} = (\text{漏电流} \times R)/D$$

其中R表示 V_{REF} 引脚的DAC电阻。对于10 nA的DAC漏电流有： $R = 10 \text{ k}\Omega$ ，并且增益(即 $1/D$)为16，误差电压为1.6 mV。

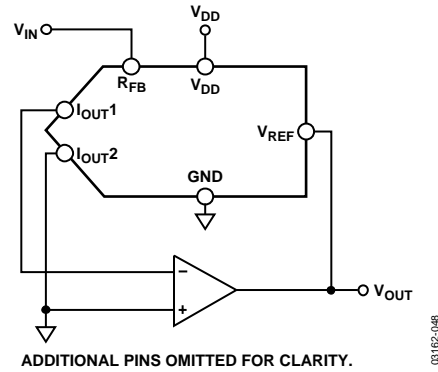


图47. 电流导引DAC用作分频器或可编程增益器件

基准电压源选择

选择与AD5426系列电流输出DAC一起使用的基准电压源时，要注意基准电压源的输出电压和温度系数规格。该参数不仅影响满量程误差，还可影响线性度(INL和DNL)性能。基准电压源温度系数必须与系统精度规格一致。例如，8位系统要求在 0°C 至 50°C 温度范围内将整体规格保持在1 LSB以内，表示随温度变化的最大系统漂移必须低于78 ppm/ $^\circ\text{C}$ 。一个在同样温度范围内整体规格低于2 LSB的12位系统则要求最大漂移为10 ppm/ $^\circ\text{C}$ 。通过选择具有低输出温度系数的精密基准电压源，可将该误差源降至最低。表7列出了ADI公司可用的某些基准值，适合与此范围的电流输出DAC一起使用。

放大器选择

电流导引模式的基本要求是放大器具有低输入偏置电流和低输入失调电压。运算放大器的输入失调电压也会和电路的可变增益(由于存在DAC的代码相关输出电阻)相乘。由于放大器的输入电压出现失调，因而两个相邻数字小数之间的噪声增益变化会使输出电压产生步进变化。此输出电压变化与两个代码间所需的输出变化相叠加，引起差分线性误差；如果该误差足够大，可能会导致DAC非单调。一般而言，为了确保沿各代码步进时保持单调性，输入失调电压应为LSB的一小部分($\sim <1/4$)。

运算放大器的输入偏置电流也会在电压输出上产生失调，其原因是偏置电流会流经反馈电阻 R_{FB} 。大多数运算放大器的输入偏置电流都足够低，以防止12位应用中的误差过大。

运算放大器的共模抑制对电压切换电路很重要，因为其在电路的电压输出端产生代码相关误差。大多数运算放大器在8/10/12位分辨率下都有适当的共模抑制能力。

如果DAC开关由真正的宽带低阻抗信号源(V_{IN} 和AGND)驱动，就会迅速建立。因此，电压开关DAC电路的压摆率和建立时间主要由输出运算放大器决定。

若要获得此配置中的最小建立时间，重点是将DAC的 V_{REF} 端的电容降至最低。这可通过使用低输入电容缓冲放大器和精心的电路板设计来实现。大部分单电源电路都将接地作为模拟信号范围的一部分，这便要求使用一个能够处理轨到轨信号的放大器。ADI提供大量的单电源放大器。

表7. 适用的ADI精密基准电压源

产品型号	输出电压(V)	初始容差(%)	温度漂移(ppm/°C)	I_{SS} (mA)	输出噪声(μ V p-p)	封装
ADR01	10	0.05	3	1	20	SOIC-8
ADR01	10	0.05	9	1	20	TSOT-23, SC70
ADR02	5	0.06	3	1	10	SOIC-8
ADR02	5	0.06	9	1	10	TSOT-23, SC70
ADR03	2.5	0.10	3	1	6	SOIC-8
ADR03	2.5	0.10	9	1	6	TSOT-23, SC70
ADR06	3	0.10	3	1	10	SOIC-8
ADR06	3	0.10	9	1	10	TSOT-23, SC70
ADR431	2.5	0.04	3	0.8	3.5	SOIC-8
ADR435	5	0.04	3	0.8	8	SOIC-8
ADR391	2.5	0.16	9	0.12	5	TSOT-23
ADR395	5	0.10	9	0.12	8	TSOT-23

表8. 适用的ADI精密运算放大器

产品型号	电源电压(V)	V_{OS} (最大值)(μ V)	I_B 最大值(nA)	0.1 Hz至10 Hz 噪声(μ V p-p)	电源电流(μ A)	封装
OP97	± 2 至 ± 20	25	0.1	0.5	600	SOIC-8
OP1177	± 2.5 至 ± 15	60	2	0.4	500	MSOP, SOIC-8
AD8551	2.7至5	5	0.05	1	975	MSOP, SOIC-8
AD8603	1.8至6	50	0.001	2.3	50	TSOT
AD8628	2.7至6	5	0.1	0.5	850	TSOT, SOIC-8

表9. 适用的ADI高速运算放大器

产品型号	电源电压(V)	BW @ A_{CL} (MHz)	压摆率(V/ μ s)	V_{OS} (最大值)(μ V)	I_B 最大值(nA)	封装
AD8065	5至24	145	180	1,500	6,000	SOIC-8, SOT-23, MSOP
AD8021	± 2.5 至 ± 12	490	100	1,000	10,500	SOIC-8, MSOP
AD8038	3至12	350	425	3,000	750	SOIC-8, SC70-5
AD9631	± 2 至 ± 6	320	1,300	10,000	7,000	SOIC-8

AD5426/AD5432/AD5443

串行接口

AD5426/AD5432/AD5443具有易于使用的三线式接口，兼容SPI/QSPI/MICROWIRE和DSP接口标准。数据以16位字格式写入器件。该16位字由4个控制位和8/10/12个数据位组成，如图48、49和50所示。AD5443使用全部12位DAC数据。AD5432使用10位数据，忽略2个LSB，而AD5426使用8位数据，忽略最后4位。

低功耗串行接口

为了尽量降低器件的功耗，该接口仅在对器件执行写操作时，即在SYNC的下降沿才完全上电。SCLK和DIN输入缓冲器在SYNC的上升沿掉电。需要将AD5426/AD5432/AD5443的SYNC与微处理器控制同步。未完成的数据帧将被锁存至器件，并会影响输出。

DAC控制位C3至C0

控制位C3至C0可控制DAC的各种功能，如表10所列。DAC上电时的默认设置如下：数据在下降时钟沿读入移位寄存器，开启菊花链模式。器件上电时DAC寄存器和I_{OUT}线路加载零电平。

DAC控制位允许用户在上电时调整某些特性，例如：若不使用菊花链，可将其关闭；可将有效时钟沿更改为上升沿；DAC输出可复位至零电平或中间电平。用户还可启动DAC寄存器内容回读操作，用于验证。

表10. DAC控制位

C3	C2	C1	C0	功能部署
0	0	0	0	不操作(上电默认)
0	0	0	1	加载并更新
0	0	1	0	启动回读
0	0	1	1	保留
0	1	0	0	保留
0	1	0	1	保留
0	1	1	0	保留
0	1	1	1	保留
1	0	0	0	保留
1	0	0	1	菊花链禁用
1	0	1	0	在上升沿将时钟数据读入移位寄存器
1	0	1	1	复位DAC输出至零电平
1	1	0	0	复位DAC输出至中间电平
1	1	0	1	保留
1	1	1	0	保留
1	1	1	1	保留

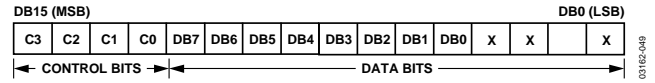


图48. AD5426 8位输入移位寄存器内容

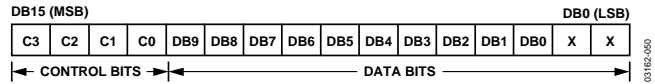


图49. AD5432 10位输入移位寄存器内容

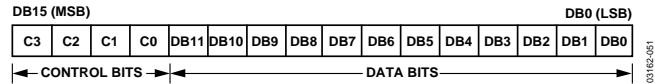


图50. AD5443 12位输入移位寄存器内容

SYNC 功能

SYNC是边沿触发输入，用作帧同步信号和芯片使能。仅当SYNC处于低电平时，才可将数据传输至器件。要开始串行数据传输，应将SYNC拉低，并注意SYNC下降沿至SCLK下降沿建立时间t₄的最小值。

菊花链模式

菊花链是上电后的默认模式。请注意，SDO线路工作电压为V_{DD} = 3.0 V至5.5 V。若要禁用菊花链功能，可写入1001至控制字。菊花链模式下，内部选通SCLK被禁用。当SYNC为低电平时，SCLK不断施加到输入移位寄存器。如果施加了16个以上的时钟脉冲，则数据从移位寄存器纹波输出并出现在SDO线路上。该数据在SCLK上升沿时输出(此为默认设置，通过控制字可改变有效边沿)，并且下降沿针对下一个器件有效(默认设置)。通过将该线路连接到菊花链中下一个器件的D_{IN}输入，即可构成多器件接口。系统中每个器件均需要16个时钟脉冲。因此，时钟周期的总数必须为16 N，其中N为链中器件的总数。参见图4中的时序图。

当对所有器件的串行传输结束时，SYNC应变为高电平，以防额外数据进入输入移位寄存器。必须采用包含确切时钟周期数的突发时钟，在一段时间后必须将SYNC置为高电平。在SYNC上升沿之后，数据自动从每个器件的输入移位寄存器传送到寻址DAC。

当控制位 = 0000时，器件处于非工作模式。这在用户不想改变某个DAC设置的菊花链应用中较为有用。只需将0000写入那个DAC的控制位，即可忽略后续的数据位。若禁用了菊花链模式，则需执行一个电源周期才能重新使能该模式。

独立模式

上电后，写入1001至控制字即可禁用菊花链模式。 $\overline{\text{SYNC}}$ 的下降沿可复位用于计算串行时钟数的计数器，以确保将正确的位数移入和移出串行移位寄存器。执行写操作时， $\overline{\text{SYNC}}$ 的上升沿会中止写周期。

在第16个SCLK脉冲的下降沿之后，数据自动从输入移位寄存器传送到DAC。若需进行其他串行传输，必须通过 $\overline{\text{SYNC}}$ 下降沿来复位计数器。

PCB布局 and 电源去耦

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。[AD5426/AD5432/AD5443](#)的印制电路板应采用模拟部分与数字部分分离设计，并限制在某些电路板区域内。如果DAC所在系统中有多个器件要求AGND至DGND连接，则只能在一个点进行连接。星形接地点应尽可能靠近器件。

该DAC应具有足够大的电源旁路电容 $10\ \mu\text{F}$ ，与电源上的 $0.1\ \mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着器件。 $0.1\ \mu\text{F}$ 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。电源处也应当运用低ESR $1\ \mu\text{F}$ 至 $10\ \mu\text{F}$ 钽电容或电解电容，以便尽可能减少瞬态干扰，并滤除低频纹波。

时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。

避免数字信号与模拟信号交叠。电路板相对两侧上的走线应当彼此垂直，这样做有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

采用紧凑、最小引线长度的PCB布局设计是很好的做法。输入的引线应尽可能短，以将IR压降和杂散电感降至最小。

V_{REF} 与 R_{FB} 之间的PCB金属走线也应当匹配，使增益误差达到最小。为了最大程度优化高频性能，电流至电压放大器应尽可能靠近器件。

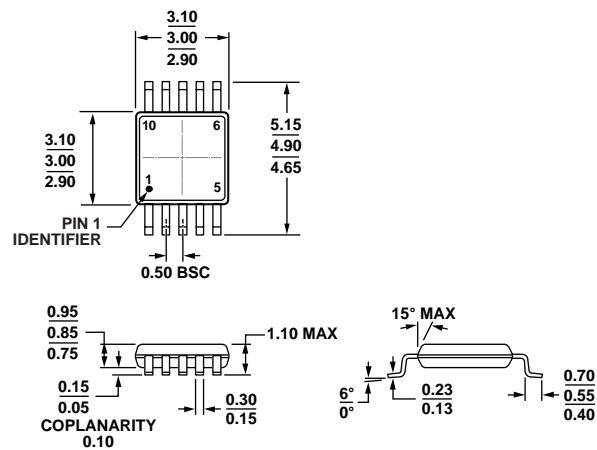
AD54xx和AD55xx器件概述

表11.

产品型号	分辨率	DAC编号	INL (LSB)	接口	封装	特性
AD5424	8	1	±0.25	并行	RU-16, CP-20	10 MHz带宽, 17 ns \overline{CS} 脉冲宽度
AD5426	8	1	±0.25	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5428	8	2	±0.25	并行	RU-20	10 MHz带宽, 17 ns \overline{CS} 脉冲宽度
AD5429	8	2	±0.25	串行	RU-10	10 MHz带宽, 50 MHz串行
AD5450	8	1	±0.25	串行	RJ-8	10 MHz带宽, 50 MHz串行
AD5432	10	1	±0.5	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5433	10	1	±0.5	并行	RU-20, CP-20	10 MHz带宽, 17 ns \overline{CS} 脉冲宽度
AD5439	10	2	±0.5	串行	RU-16	10 MHz带宽, 50 MHz串行
AD5440	10	2	±0.5	并行	RU-24	10 MHz带宽, 17 ns \overline{CS} 脉冲宽度
AD5451	10	1	±0.25	串行	RJ-8	10 MHz带宽, 50 MHz串行
AD5443	12	1	±1	串行	RM-10	10 MHz带宽, 50 MHz串行
AD5444	12	1	±0.5	串行	RM-8	50 MHz串行接口
AD5415	12	2	±1	串行	RU-24	10 MHz带宽, 50 MHz串行
AD5405	12	2	±1	并行	CP-40	10 MHz带宽, 17 ns \overline{CS} 脉冲宽度
AD5445	12	2	±1	并行	RU-20, CP-20	10 MHz带宽, 17 ns \overline{CS} 脉冲宽度
AD5447	12	2	±1	并行	RU-24	10 MHz带宽, 17 ns \overline{CS} 脉冲宽度
AD5449	12	2	±1	串行	RU-16	10 MHz带宽, 50 MHz串行
AD5452	12	1	±0.5	串行	RJ-8, RM-8	10 MHz带宽, 50 MHz串行
AD5446	14	1	±1	串行	RM-8	10 MHz带宽, 50 MHz串行
AD5453	14	1	±2	串行	UJ-8, RM-8	10 MHz带宽, 50 MHz串行
AD5553	14	1	±1	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5556	14	1	±1	并行	RU-28	4 MHz带宽, 20 ns \overline{WR} 脉冲宽度
AD5555	14	2	±1	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5557	14	2	±1	并行	RU-38	4 MHz带宽, 20 ns \overline{WR} 脉冲宽度
AD5543	16	1	±2	串行	RM-8	4 MHz带宽, 50 MHz串行时钟
AD5546	16	1	±2	并行	RU-28	4 MHz带宽, 20 ns \overline{WR} 脉冲宽度
AD5545	16	2	±2	串行	RU-16	4 MHz带宽, 50 MHz串行时钟
AD5547	16	2	±2	并行	RU-38	4 MHz带宽, 20 ns \overline{WR} 脉冲宽度

AD5426/AD5432/AD5443

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-187-BA

图51. 10引脚超小型封装[MSOP]
(RM-10)

图示尺寸单位: mm

091709-A

订购指南

型号 ¹	分辨率 (位)	INL (LSB)	温度范围	封装描述	封装选项	标识
AD5426YRM	8	±0.25	-40°C至+125°C	10引脚 MSOP	RM-10	D1Q
AD5426YRM-REEL	8	±0.25	-40°C至+125°C	10引脚 MSOP	RM-10	D1Q
AD5426YRM-REEL7	8	±0.25	-40°C至+125°C	10引脚 MSOP	RM-10	D1Q
AD5426YRMZ	8	±0.25	-40°C至+125°C	10引脚 MSOP	RM-10	D6W
AD5426YRMZ-REEL	8	±0.25	-40°C至+125°C	10引脚 MSOP	RM-10	D6W
AD5426YRMZ-REEL7	8	±0.25	-40°C至+125°C	10引脚 MSOP	RM-10	D6W
AD5432YRM	10	±0.5	-40°C至+125°C	10引脚 MSOP	RM-10	D1R
AD5432YRM-REEL7	10	±0.5	-40°C至+125°C	10引脚 MSOP	RM-10	D1R
AD5432YRMZ	10	±0.5	-40°C至+125°C	10引脚 MSOP	RM-10	D1R#
AD5432YRMZ-REEL	10	±0.5	-40°C至+125°C	10引脚 MSOP	RM-10	D1R#
AD5432YRMZ-REEL7	10	±0.5	-40°C至+125°C	10引脚 MSOP	RM-10	D1R#
AD5443YRM	12	±1	-40°C至+125°C	10引脚 MSOP	RM-10	D1S
AD5443YRM-REEL	12	±1	-40°C至+125°C	10引脚 MSOP	RM-10	D1S
AD5443YRM-REEL7	12	±1	-40°C至+125°C	10引脚 MSOP	RM-10	D1S
AD5443YRMZ	12	±1	-40°C至+125°C	10引脚 MSOP	RM-10	D1S#
AD5443YRMZ-REEL	12	±1	-40°C至+125°C	10引脚 MSOP	RM-10	D1S#
AD5443YRMZ-REEL7	12	±1	-40°C至+125°C	10引脚 MSOP	RM-10	D1S#
EVAL-AD5443SDZ				评估板		
EVAL-AD5443-DBRDZ				评估板		

¹ Z = RoHS兼容器件, #表示RoHS兼容器件的产品可能在顶部或底部进行标识。